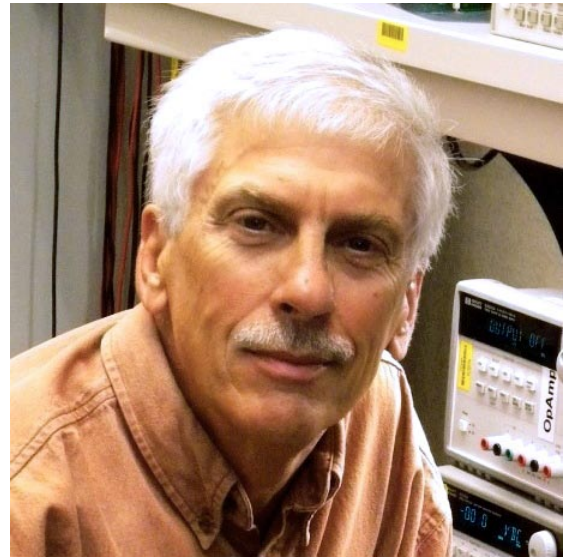


TI信号链。精品博文集锦

——看一个TI老工程师如何驯服精密放大器

作者 Bruce Trump 介绍

资深模拟工程师



I' m an analog engineer, lucky enough to spend the last four decades hanging around really smart people. I' ve even managed to remember a few of the things they' ve told me. My goal is to write blogs that concentrate useful information into easily digested ten-minute bites. If you like what you see from me here on EDN, I hope you' ll check out more of my writings on The Signal, on TI' s E2E Community. I' ve been drawn to technology my whole life. I' ve spent more than 40 years as an analog engineer, and I spent 10 years before that dabbling in electronics. I started working for Burr-Brown in Tucson, Arizona early on in my career and have worked for Texas Instruments since the acquisition in 2001. I' ve held various roles – from designer, design manager and product definer to applications manager and business manager. Today I get to spend most of my time helping with customer applications, mentoring colleagues and writing. It' s great fun and I can' t think of a better way to close my career!

我是一名模拟工程师，很幸运在近四十年里一直被聪明的人陪伴，甚至现在我还能记起一些他们告诉我的事。我希望我的博客能集中一些有用的信息，并在十分钟内能被人消化。我的一生都被电子技术吸引着，我做了40年的模拟工程师，在此之前花了10年时间进入这个行业。我最初工作在Burr-Brown（图森，亚利桑那州），2001年被收购后，开始在德州仪器工作。我担任过许多角色：从设计师、设计经理、产品定义者到应用经理、业务经理。目前我花费大部分时间帮助客户应用、指导同事和写作。我想不到有比这更好的方式来为我的职业生涯画上完美的句号！

写在前面

34年前我加入Burr—Brown（该公司于2000年被德州仪器（TI）收购）公司，这个时候我已经有7年的工程师经验，我被这家公司根深蒂固的知识共享文化所吸引。专家非常慷慨地拿出自己的时间与年轻工程师分享经验。每个人都乐意帮助他人提高模拟技术水平。头脑风暴中，设计的灵感不断闪现。专家们互相挑战和提高对方的想法。虽然讨论的是很难的模拟技术部分，但分享总是会带来好的想法同时语言也很幽默。

近日的TI校园招聘之行使我回忆起一些难忘的面试经历。作为面试官，我经常地问面试者，你是否会修理一些东西——汽车、自行车、电脑、摩托车、缝纫机等等。如果面试者能够很自信地说“我能解决这个问题”，那么就说明这个面试者具有一个合格的工程师应该具备的基本特质。修理这些东西意味着他每天都在练习成为工程师。这是一个很好的现象。

当我能够向面试者传授一些他们不知道的东西时（有时候这些东西会令他们感到惊奇并且能够从中得到一些新的理解），我会很高兴。这时，会在我们之间建立一种很强的联系。对于我来说，我会认为这个面试者理解了这些知识，并且具有成长的空间。对于面试者来说，意味着在这个位置他能够学到很多知识。我遇到过一些年轻的工程师在他们的生涯中也体会到了这种感觉。一个老的导师把这种感觉称为“心灵记忆”。

我很荣幸用了15个月时间发表了几十篇博客，在这个过程中我也受到了挑战。我发现我学到了很多，而这些我以前以为我已经掌握的很好了。这让我想起了我的导师跟我说过的一句话：如果你真的想学什么，就去讲述或传授它。

分享文化需要维护和调整。人来人往，它需要用心去维持。我希望在你的公司有这种文化，如果有，培育它。如果减弱了，重建它。如果丢失了，启动它。

好吧，该说再见了。我计划了退休后的生活，骑车或者，老实说，清理我的车库。

谢谢大家的支持，再见！

Bruce Trump

目录

作者Bruce Trump介绍	1
写在前面	2
1 将运算放大器用作比较器——此举可行吗?	5
2 仪表放大器——可避免常见的设计陷阱.....	8
3 差动输入钳位——它们影响您的运算放大器电路吗?	10
4 电流源（以及电流阱）——对顺从电压范围的理解.....	12
5 输入偏置电流消除电阻——您真的需要它们吗?	14
6 运算放大器电压范围——输入和输出之解疑释惑.....	16
7 差动放大器——良好匹配电阻器不可或缺的器件	19
8 构建属于你自己的差动放大器 ——有时1%电阻就已经足够了.....	21
9 电源旁路——SPICE 仿真与现实的差距.....	24
10 为什么运算放大器会发生振荡——两种常见原因浅析.....	26
11 “驯服” 振荡运算放大器.....	28
12 “驯服” 振荡——电容性负载问题	30
13 “典型值” ——在产品说明书规范中到底是什么意思?	32
14 热电耦——每一个模拟设计人员都应该熟知的组件.....	34
15 靠近接地摆动——单电源工作.....	36
16 “我需要高输入阻抗!”	38
17 失调电压与开环增益——它们是“表亲”	40
18 光电二极管启蒙	42
19 用SPICE模型仿真失调电压.....	44
20 消失的失调电压调整引脚.....	46
21 SPICE仿真——Bob Pease会说No吗?	48
22 如何用好电位器?	50
23 运放稳定性的SPICE仿真.....	52
24 匹配，匹配！双通道运放有多相似?	54
25 输入引脚的过电应力(EOS)保护	56
25 CMOS放大器和JFET放大器的输入偏置电流	58
27 运算放大器：单位增益稳定放大器和非完全补偿放大器.....	60
28 如何处理未使用的运放.....	62
29 温度对输入偏置电流的影响.....	64



30 跨阻放大器的输入阻抗：无穷大还是为零？ 究竟是多少？	66
31 运放噪声——同相放大电路	68
32 电阻噪声的基础知识和一个有趣的小测试	70
33 输入电容——共模？差模？	73
34 PCB布局技巧：带条纹的电容	75
35 比较器——振荡来自何处？	77
36 运放噪声——反馈会有什么影响呢？	79
37 反向衰减器， $G = -0.1$会不稳定吗？	81
38 仿真增益带宽——通用运算放大器模型	83
39 $1/f$ 噪声——闪烁的烛光	85
40 关于运放的轨到轨输入	87
41 微封装的模拟板试验	89
42 提高前端的增益	91
43 ESD（静电放电），哟~！	93
44 这个题目又来了(一个1V的交流信号，连接着一个 1Ω 电阻和一个 1Ω 电抗的电容。在电容两端的交流电压是多少？)	95
45 退耦电容——我们都在使用，但这是为什么呢？	97
46 运放并联的可行性	99
47 压摆率——限制了运放的速度	101
48 方便的小工具和电阻分压计算器	103
49 电阻知识脑筋转弯小测试	105
50 电阻难题的解... 并漫谈一下原理图	107
51 斩波型运放及其噪声	109
52 面试问题——作为面试者和被面试者的难忘时光	111
53 开心小测试! 现在就开始吧....	113
54 建立时间	119
55 接地原则	121
56 音量控制——对数电位计	123
57 知道敲哪里	126
附录：版权说明	128

1 将运算放大器用作比较器 ——此举可行吗？

许多人偶尔会把运算放大器当比较器使用。一般而言，当您只需要一个简单的比较器，并且您在四运算放大器封装中还有一个“多余”运算放大器时，这种做法是可行的。稳定运算放大器运行所需的相位补偿意味着把运算放大器用作比较器时其速度会非常的低，但是如果对速度要求不高，则运算放大器可以满足需求。偶尔会有人问到我们运算放大器的这种使用方法。这种方法有时有效，有时却不如人们预期的那样效果好。为什么会出现这种情况呢？许多运算放大器都在输入端之间有电压钳位，其大多数一般都使用背靠背二极管（有时使用两个或者更多的串联二极管）来实施。这些二极管保护输入晶体管免受其基极结点反向击穿的损害。差动输入为约 6V 时便会出现许多 IC 工艺击穿，这会极大地改变或者损坏晶体管。下图显示了 NPN 输入级，D1 和 D2 提供了这种保护功能。

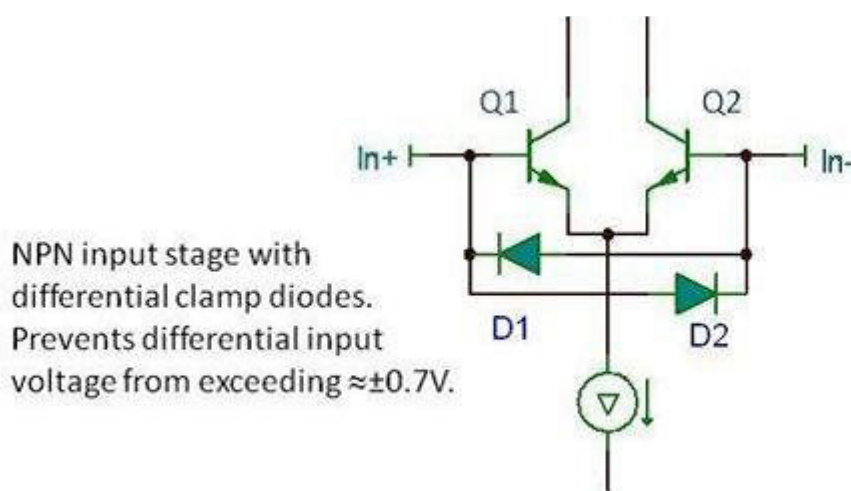
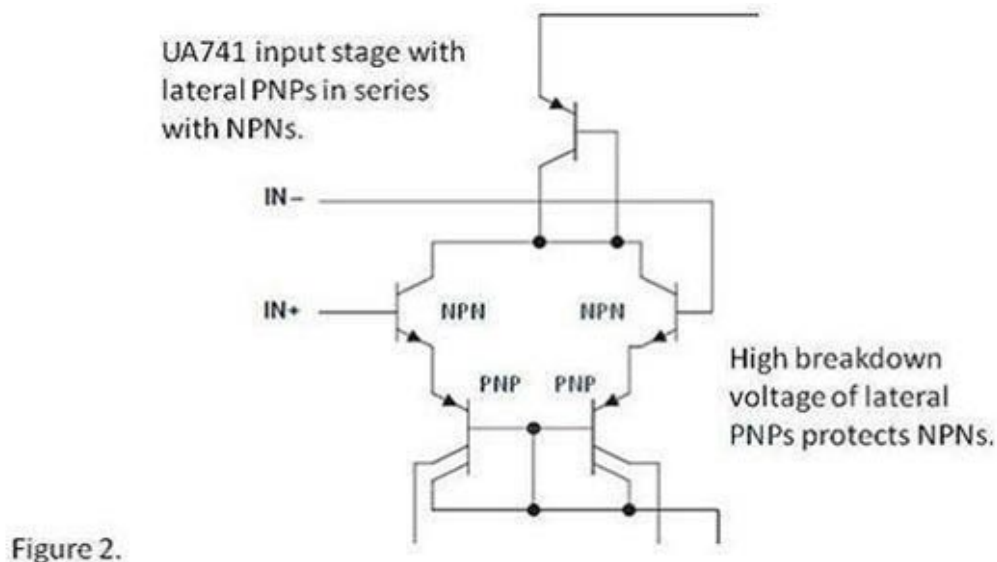


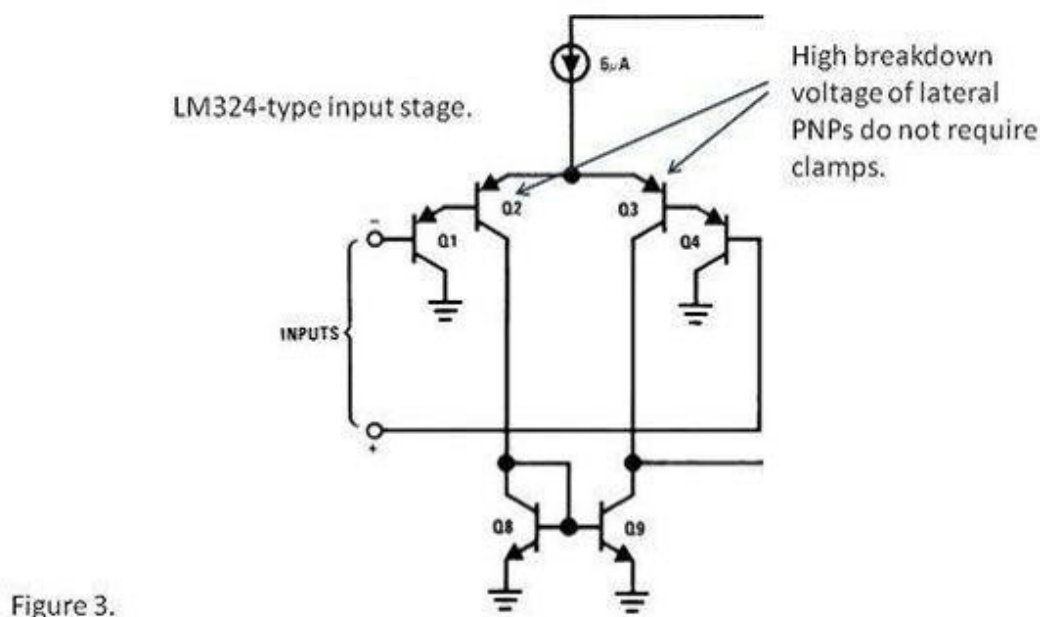
Figure 1.

在大多数常见运算放大器应用中，输入电压均约为零伏，其根本无法开启这些二极管。但是很明显，对于比较器的运行而言，这种保护便成了问题。在一个输入拖拽另一个输入（以一种讨厌的方式拉其电压）以前，差动电压范围（约0.7V）受限。尽管如此，但我们还是可以把运算放大器用作比较器。但是，在我们这样做时必须小心谨慎。在一些电路中，这种做法可能是完全不能接受的。问题是我们（包括其他运算放大器厂商）并没有总是说明这些钳位的存在。即使有所说明，我们可能也不会做详细的解释或者阐述。也许我们应该说：“用作比较器时，请小心谨慎！”产品说明书的作者们通常也只是假设您肯定会把运算放大器当作运算放大器用。最近，我们在美国亚利桑那州图森产品部召开了一个会议。会议决定，我们以后将会更加清楚地说明这种情况。但是，现在已经生产出来的运算放大器怎么办呢？下列指导建议可能会对

您有所帮助：一般而言，双极 NPN 晶体管运算放大器都有输入钳位，例如：[OP07](#)、[OPA227](#) 和 [OPA277](#) 等。[uA741](#) 是一个例外，它具有 NPN 输入晶体管，并且有一些为 NPN 提供固有保护的附加串联横向 PNP。



使用横向 PNP 输入晶体管的通用运算放大器一般没有输入钳位，例如：[LM324](#)、[LM358](#)、[OPA234](#)、[OPA2251](#) 和 [OPA244](#)。这些运算放大器一般为“单电源”类型，其意味着它们拥有一个扩展至负电源端（或者稍低）的共模范围。输入偏置电流为一个负数时，表示输入偏置电流自输入引脚流出。这时，我们通常可以认定它们为这类运算放大器。但是，需要注意的是，使用 PNP 输入的高速运算放大器一般有输入钳位，而这些 PNP 是一些具有更低击穿电压的垂直 PNP。



更高电压（一般大于 20V）下工作的 JFET 和 CMOS 放大器，可能有也可能没

有钳位。这种不确定性，要求您进行更多仔细的检查。所用工艺和晶体管类型的特性，决定了其内部是否存在钳位。大多数低压 CMOS 运算放大器都没有钳位。自动归零或者斩波器类型是一个特例，其可能具有类似钳位的行为表现。底线是.....如果您考虑把运算放大器用作比较器，请一定小心谨慎。仔细阅读产品说明书，不要漏掉一点信息，包括应用部分的一些注解内容。在电路试验板或者样机中验证其表现，查看一个输入电压对另一个输入电压的影响。不要依赖 SPICE 宏模型。一些宏模型可能并不包括对钳位建模的一些额外组件。另外，当您笨手笨脚地把运算放大器从一个轨移动到另一个轨时可能出现其他一些现象，我们可能无法精确地对这些现象建模。

原文请参阅:http://e2e.ti.com/blogs_/b/thesignal/archive/2012/03/14/op-amps-used-as-comparators-is-it-okay.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2012/10/24/ti-bruce-trump.aspx>

2 仪表放大器 ——可避免常见的设计陷阱

仪表放大器（IA）是运算放大器和反馈电阻的结合，用于精确地获取和放大信号。使用这些通用放大器的一个常见错误是没有为输入偏置电流提供一条通路。25年以来，我们一直在向人们展示一幅图表，强调正确运行所要求的必要输入偏置，但广大设计人员似乎都没有注意到这一点。之所以会这样也许正是因为它的名字——仪表放大器。它听起来像是实验室仪器，例如：示波器或者频谱分析仪等，包括一些随时可用的输入。好吧，差不多是这样，但仪表放大器需要您更小心一些。每个输入都直接连接至双极晶体管基极（请参见图 1a）或者 FET 栅极（请参见图 1b）。双极晶体管要求基极电流工作。浮动热电偶电压源不提供该电路通路。没有该电流通路的情况下，输入会出现饱和，从而形成无效输出电压。

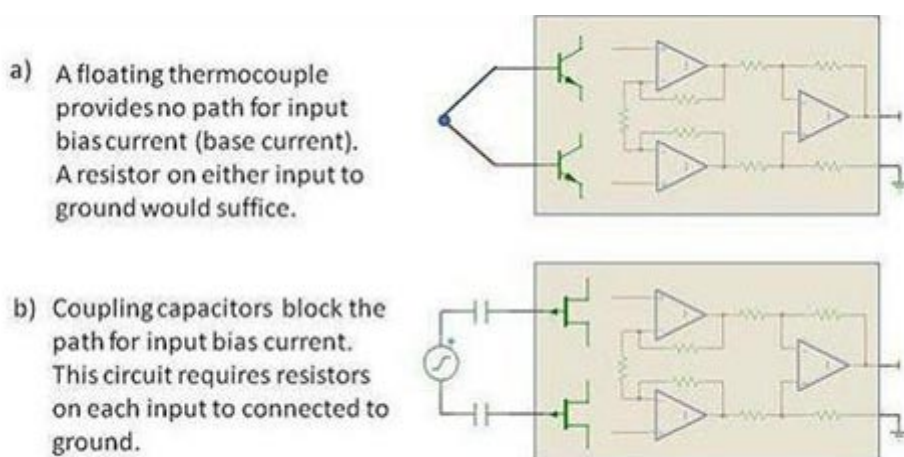


Figure 1.

即使是一个极低输入偏置电流的 FET 输入 IA（例如：[INA116](#)）也要求一条偏置电流通路。尽管首次上电时图 1b 所示 AC 耦合电路可能会看似正常工作，但输入电容会通过微输入偏置电流缓慢充电，并且输出好像会不稳定或者偏离其起始值。每个输入的接地电阻器会为该电路正确偏置，同时在 FET 输入的输入偏置电流极低的情况下 $10\text{M}\Omega$ 电阻会非常有效。请注意，许多电路均不会要求采取特殊的预防措施。如果差动输入电压源能够提供输入偏置电流，并且其参考导电通路接地，则无需特殊预防措施。请参见图 2。

No additional biasing components are needed if differential and common mode sources can supply the input bias current.

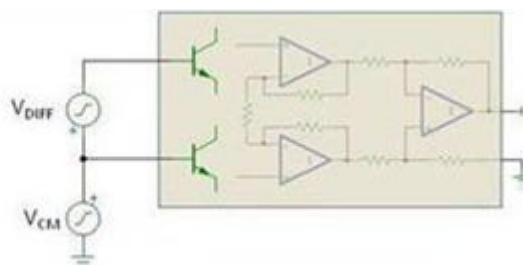
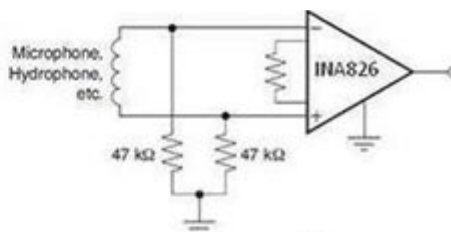


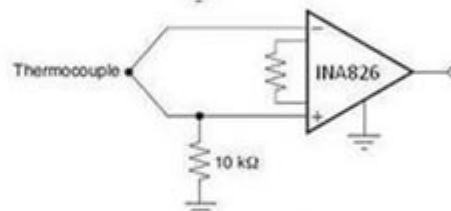
Figure 2.

图 3 显示了正确偏置 IA 输入的三个例子。所选应用和 IA 的特性不同，图中所示电阻器值可能也会不同。

Very low resistance sources might be okay with one resistor. For long cable connections, keep it well balanced with two resistors.



Very low resistance sources can use a single, unbalanced biasing resistor.



Not all transformers have a center-tap. A resistor on one side to ground would be okay.

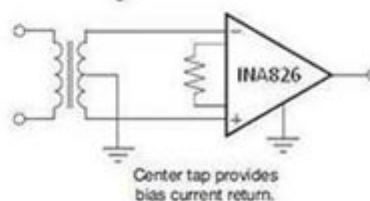


Figure 3.

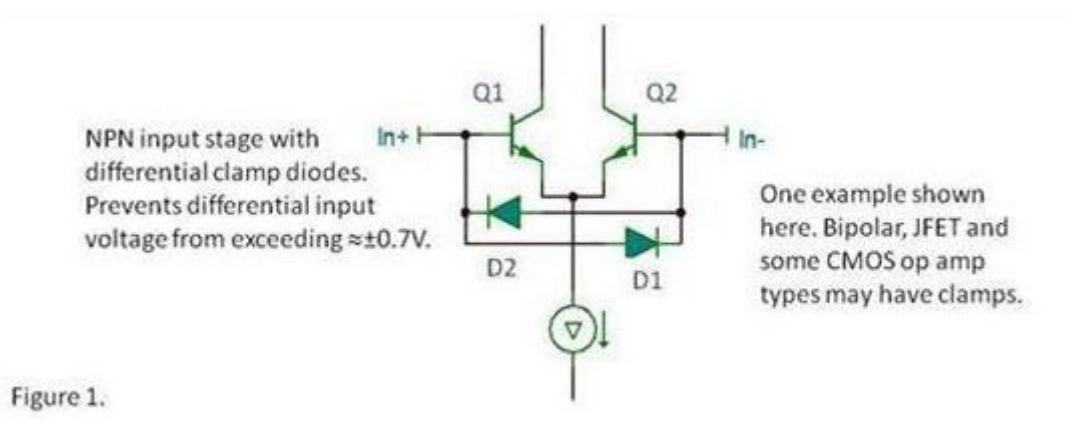
在如何提供这种电流通路方面，存在许多差异。图中仅显示了三种通用案例。只需一点点创造性，您便可以找到一种适合您应用的方法。如果您对我们的高精度放大器有什么建议，请访问我们的论坛。我又一次想到了这种放大器的名字：仪表放大器，这可能就是它经常被人忽略的原因。顺便说一下，在处理运算放大器输入时我们也有可能犯同样的错误。至于原因，我认为无需解释，不是吗？

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/03/27/instrumentation-amplifiers-avoiding-a-common-pitfall.aspx

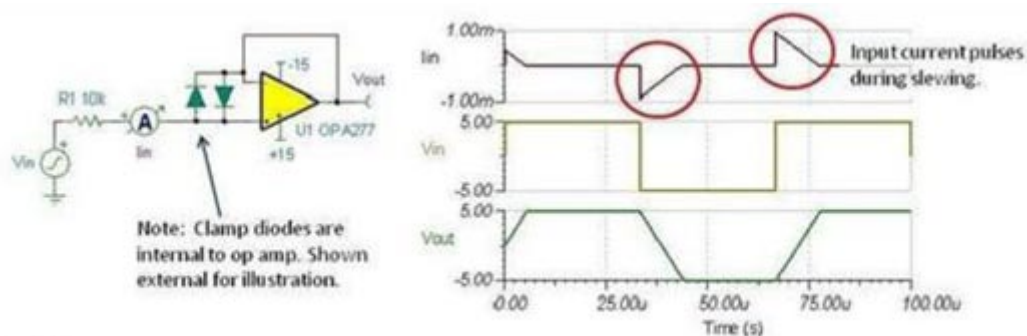
更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2012/10/26/51331.aspx>

3 差动输入钳位 ——它们影响您的运算放大器电路吗？

之前，我们讨论了运算放大器用作比较器时，内部差动输入钳位二极管对运算放大器的影响。我提出了一个问题——这些钳位会影响运算放大器电路吗？运算放大器在两个输入端之间的电压应大约为零，那么，在标准运算放大器电路中这些二极管绝不会正向偏置……又或者，它们会正向偏置？稍微提醒一下，我们正在讨论的是一些可能出现某些运算放大器中的差动钳位二极管，请参见图 1。



通常在基本非反相放大器配置结构（包括一种简单的 $G=1$ 缓冲器放大器）中，可以看到运算放大器电路的影响。下面来看一下一个正向输入步进。输出无法立即跟随浪涌输入电压变化。如果输入步进大于 $0.7V$ ，则 $D1$ 导电，从而影响非反相输入。当运算放大器正转向至其新的输出电压时，运算放大器输入端的电流会突然增加至某个更高的尖峰值，参见图 2。最终，当输出“赶上”输入时，一切又变好了。



许多应用本身就是处理慢或者带限信号的，其远低于运算放大器的转换速率，因此肯定不会出现这种情况。在其他一些应用中，即使输入电压快速变化，输入端电流瞬态也不会对电路运行产生不利影响。但在一些特殊情况下，输入电流脉冲会导致许多问题。一种值得注意的情况是多路复用数据采集系统。下图显示了这种系统的一个简化案例，其只有两条输入通道。

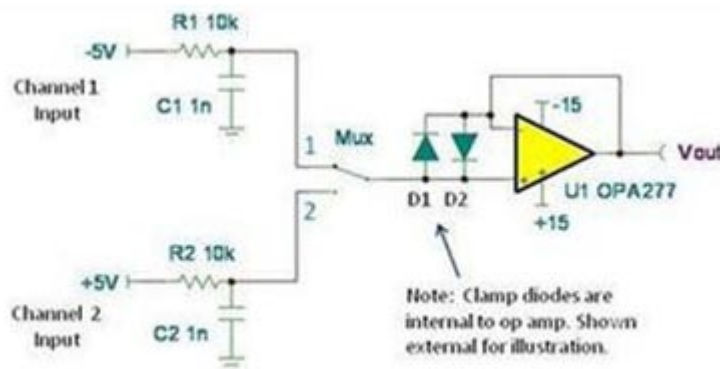


Figure 3.

本例中，多路复用器在通道 1 和通道 2 之间切换，因此要求 U1 的输出能够快速地从 -5V 转换至 +5V。D1 正向偏置和由此产生的输入电流瞬态通过多路复用器开关，从而释放 C2 的电压。R/C 输入滤波器通常用于在通道切换期间保持稳定的电压，但是电流脉冲部分对 C2 放电。现在，C2 需要更多时间来重新充电至正确的输入电压，从而降低了复用速率，也即降低了精确度。解决方法是为 U1 选择使用一种没有差动钳位的运算放大器。如 [OPA140](#) 等 FET 输入放大器，均拥有低输入偏置电流（以便减少 MUX 串联电阻的负担），并且没有差动输入钳位，极为适合多路复用输入。[OPA827](#) 在大多数应用中都表现优异—FET 输入、非常低的噪声、高速且稳定快速。但是，它有一些差动输入钳位，因此 [OPA827](#) 或许并非运算放大器多路复用器的最佳选择。之前的博文重点讨论了差动钳位，介绍了使用各种运算放大器类型的一般原则。详情请参阅《运算放大器用作比较器》。我并不想让读者产生这样的印象：差动输入钳位运算放大器有风险，应该避免使用，但事实并不是这样的。少数情况下，它们会影响您的电路。但如果知道这一点，您就不会做出盲目的选择。您发现差动输入钳位在其他方面影响到您的电路吗？

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/03/21/differential-input-clamps-can-they-affect-your-op-amp-circuits.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2012/10/29/51336.aspx>

4 电流源（以及电流阱）

——对顺从电压范围的理解

许多人在我们的论坛询问如何进行各类电流源的设计——恒定电流、压控电流、AC 电流、大电流、小电流、有源电流源以及无源电流阱等。一篇博文不可能说清所有这些内容。但是，我可以为您介绍一些基础背景知识，并为您提供一些获取更多详情的链接地址。重点是，电流源不可能在没有必要电压的情况下迫使电流流入负载。把某个电流源看作是一个电路，它对其输出电压进行调节，以使预期电流流入负载。如果没有 10V 的电压，则您无法使 10Ma 的电流流入 1k-ohm 负载。或许更加重要的是，在没有形成 1000V 输出的情况下，您无法使 10Ma 的电流流入 100kΩ 负载。每过一段时间，就会有人问我们如何使用一些简单的运算放大器电路，在没有 1000V 运算放大器甚至 1000V 电源的情况下完成上述不可能完成的任务。正如我的同事所言：“这是欧姆定律，而非欧姆建议。” 这里的问题是，理解电流源的顺从输出电压范围。它是电路保持恒定电流的电压范围。我用图 1 所示的电路作为示例（实际为一个电流阱）进行说明一下，它是一款经过无数工程师设计和改进的电路。

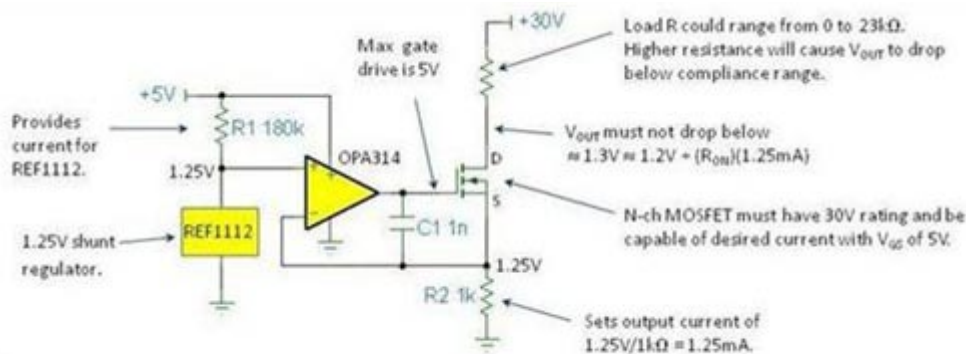
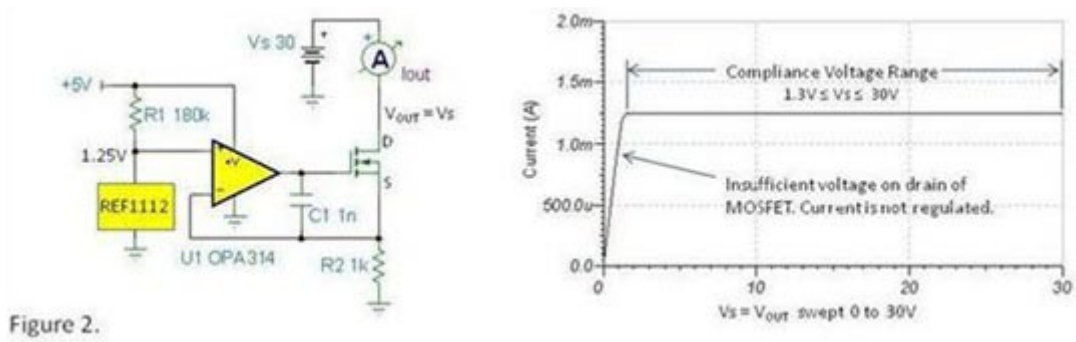


Figure 1.

使用 [REF1112](#) 分路调节器（像齐纳二极管，但为低压），在运算放大器输入端形成参考电压。通过 R2 反馈重复形成相同的电压。由于漏电流实际与源电流完全一样，因此这样便得到输出电流。工程师们更喜欢“看图片”，因此我鼓励你们阅读并理解该图中的一些注释。图 2 所示图形模拟显示了这种电路的恒流输出电压范围。电压源 Vs 从 0V 上升至 30V。在这种情况下，负载电压 VOUT 与 Vs 相同，即为 MOSFET 漏极的电压。需要注意的是，由于 Vs 从 0V 增加至 1.2V，输出电流 Iout 也稳定上升。在这一范围，其电压并不足以实现正常的运行。一旦 Vs 刚好达到 1.2V 以上，则电流以 1.25Ma 预期值进行调节，从而保持 30V 恒定电压。1.3V 到 30V 为该电流阱的恒流输出电压范围。模拟过程在 30V 时停止，即所选 MOSFET 的额定电压。使用更高电压的 MOSFET 和更高的电源电压，会极大增加该电流阱的恒流输出电压范围。



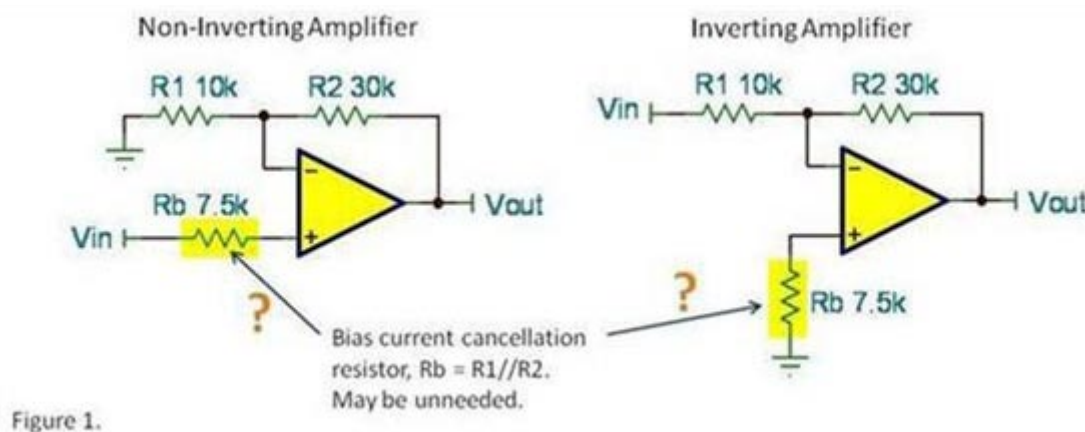
电流源电路的类型数不胜数。所有这些电流源电路都有其恒流输出电压范围限制。仔细思考，小心操作，您就可以选择正确的电流源类型，并对其进行优化，得到您需要的恒流输出电压范围。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/04/03/current-sources-and-sinks-understanding-compliance-range.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2012/10/30/51378.aspx>

5 输入偏置电流消除电阻 ——您真的需要它们吗？

您会为了匹配您运算放大器电路的输入 DC 电阻而添加一个电阻器吗？请看下面图 1 所示电路。我们中的许多人会教条地认为添加 R_b 是一种“好方法”，并让其值等于 R_1 和 R_2 的并联组合。我们现在就来研究使用这种电阻器的原因，并思考它的使用是否必要。

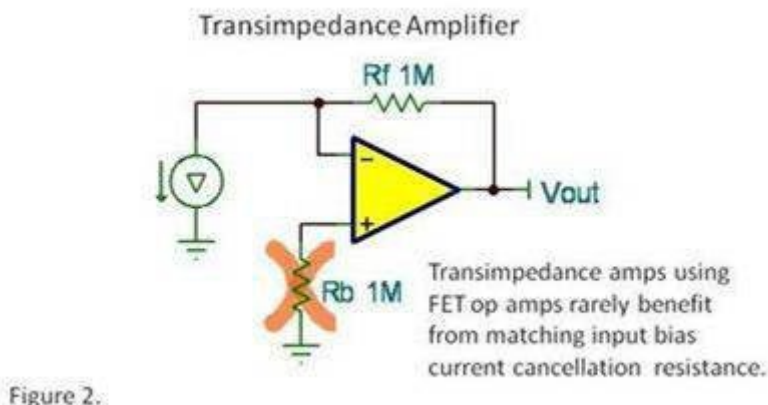


添加 R_b 的目的是降低输入偏置电流引起的电压偏移。如果两个输入都有相同的输入偏置电流，则流过相同电阻的相同电流便会形成大小相等但方向相反的偏移电压。因此，输入偏置电流不会增加电路的偏移电压。这种基本想法在某些情况下有优点。但在添加 R_b 以前，您都考虑过它的必要性吗？很多时候， R_1 和 R_2 并联电阻足够低，而输入偏置电流也足够低，这样在没有 R_b 的情况下形成的电压偏移便微不足道。在添加该电阻器以前，请首先计算这种误差。本应用中，我们假设运算放大器的输入偏置电流为 10nA 。在不使用 R_b 的情况下，输入偏置电流引起的输入参考偏移电压为：

$$I_b \text{ 引起的输入偏移电压} = (10\text{nA})(7.5\text{k}\Omega) = 75\mu\text{V}$$

$75\mu\text{V}$ 输入偏移电压会影响您的电路吗？很多时候，这个问题的答案都是否定的，因此为什么要添加电阻器呢。思考您正使用的运算放大器的偏移电压。例如，如果您的运算放大器的偏移电压规格为 1mV ，那么 $75\mu\text{V}$ 输入偏移电压就没有意义了。因此，在为您的电路添加 R_b 以前，请首先把输入偏置电流产生的误差同偏移电压规格进行比较。跨阻抗应用通常利用高反馈电阻器值来对非常小的电流进行放大处理。因此，您可能会忍不住要添加 R_b 来平衡两个输入端的电阻。但是，这些应用一般使用 FET 或者 CMOS 输入运算放大器。由于它们的输入偏置电流非常低，因此偏移误差一

般也非常小。



R_b 产生的热噪声以及这种高阻抗节点的潜在外部噪声拾取，可能是不使用 R_b 的其他原因。由于输入偏置电流的误差最小，为什么要给电路增加更多潜在的噪声呢？有时，我们可能会需要使用偏置电流消除电阻，而且它也是一种有效的方法。但是，许多电路并不会明显受益，甚至会出现性能下降的情况。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/04/11/input-bias-current-cancellation-resistors-do-you-really-need-them.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2012/11/01/51383.aspx>

6 运算放大器电压范围

——输入和输出之解疑释惑

我们常常会收到一些与电源有关的应用问题，询问我们运算放大器的输入和输出电压范围到底有多大。既然大家存在这方面的疑惑，那么我们就利用这篇文章来为大家解疑释惑：

首先，常见运算放大器并没有接地端。标准运算放大器“不知道”接地的位置，因此它也就无从知道其工作电源是一个双电源（ \pm ）还是一个单电源。只要电源输入和输出电压在其工作范围以内，就不会出问题。

下面是我们需要考虑的三个重要电压范围：

1、总电源电压范围。它是两个电源端之间的总电压。例如，30V 的总电压范围为 $\pm 15V$ 。再如，某个运算放大器的工作电压范围可能为 6V 到 36V。在低压极端条件下，它可能为 $\pm 3V$ 或者 +6V。在高压极端条件下，它可能为 $\pm 18V$ 或者 +36V，甚至是 -6V/+30V。没错，如果您留心阅读下面的第 2 点和第 3 点，会发现使用非平衡电源也是可以的。

2、输入共模电压范围（C-M 范围）一般是相对于正负电源电压而言的，如图 1 所示。使用类似于方程式的方法表示时，假设运算放大器的 C-M 范围可以描述为负轨以上 2V 到正轨以下 2.5V，表示方法为： $(V-)+2V$ 到 $(V+)-2.5V$ 。

3、同样，输出电压范围（即输出动态范围性能）是相对于轨电压而言的。这时，它可以表示为 $(V-)+1V$ 到 $(V+)-1.5V$ 。

这些例子（图 1、2和3）可以运用一个 $G=1$ 缓冲器配置结构进行说明。重点是，图 1 所示例子的输出范围大小被限定为负轨 2V 和正轨 2.5V，原因是输入 C-M 范围受限。在高增益条件下，可能会需要配置这种运算放大器，以达到其最大输出电压范围。

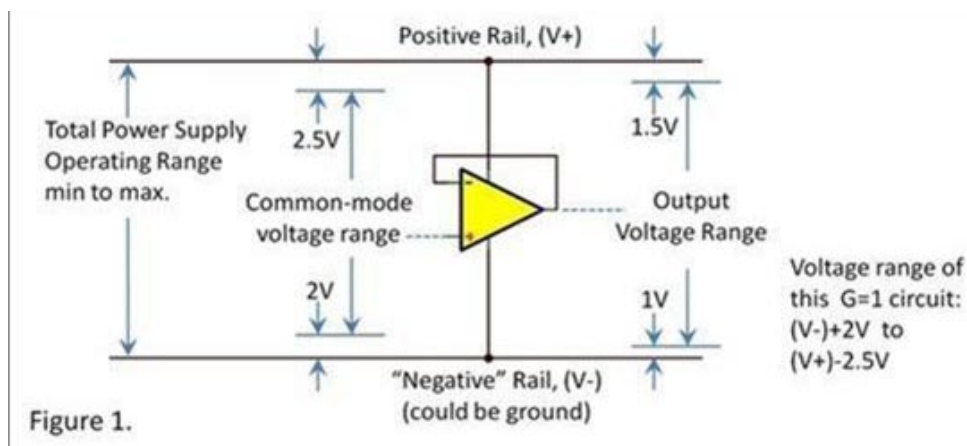


图 1 所示的例子是双±电源常用的运算放大器典型结构。虽然我们不把它称作“单电源”，但是它的确可以通过将电源保持在规定范围内实现单电源工作。图 2 显示了一种所谓的单电源运算放大器。它拥有一个 C-M 范围，该范围可以扩展至负轨，但通常会稍低于负轨。这样，它便可以应用于更多电压接近零的电路中。因此，尽管不被称为“单电源”的运算放大器可以用于某些单电源电路中，但真正的单电源型运算放大器在这些应用中则更加常见。

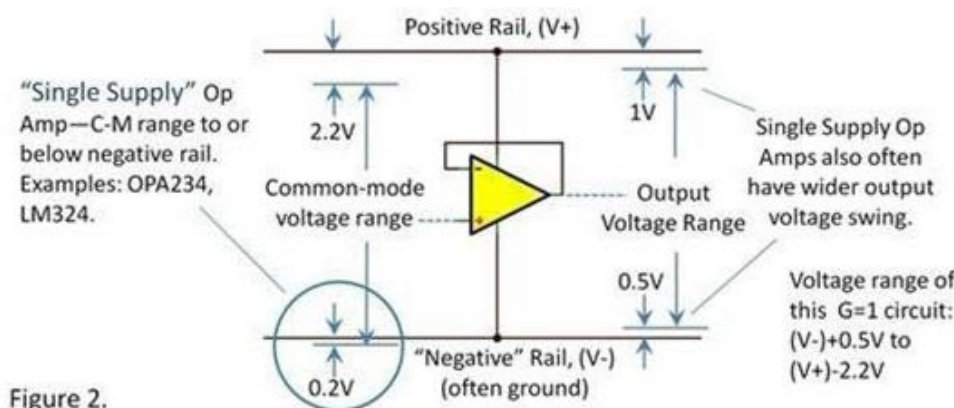


Figure 2.

在这种 $G=1$ 缓冲器电路中，这种运算放大器可从 V^- 轨（受限于输出大小）得到 0.5V 的输出动态范围，并从 V^- 轨（受限于输入 C-M 范围）得到 2.2V 的输出动态范围。图 3 显示了一个轨至轨运算放大器。它工作时，输入电压可以等于甚至略微大于两个电源电压轨，如图 3 所示。轨至轨输出意味着，输出电压可以非常接近于轨，但通常在电源轨的 10mV 到 100mV 范围内。一些运算放大器标声称只有一个轨至轨输出，缺少图 3 所示输入特性。轨至轨运算放大器用于单 5V 电源和单 5V 以下电源的情况非常普遍，因为它们可在有限电源电压范围下最大化信号电压输出的性能。

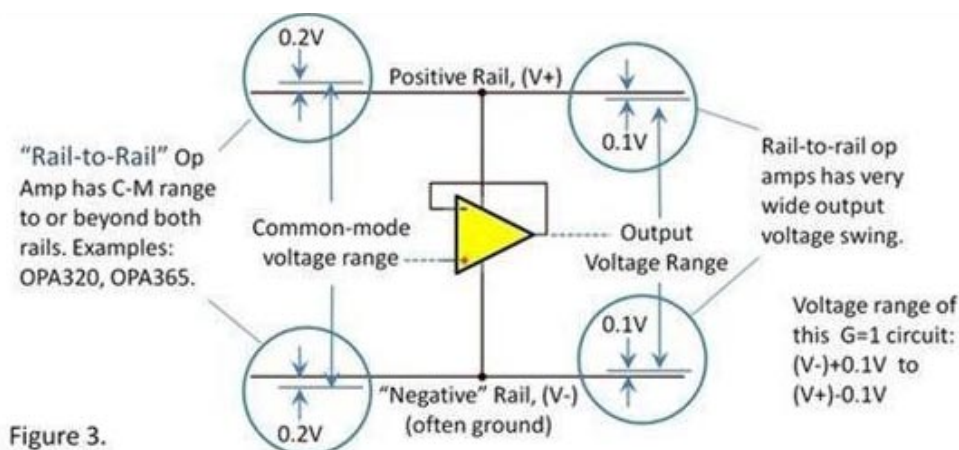


Figure 3.

轨至轨运算放大器非常诱人，因为它们放宽了信号电压限制，但是，它们并非总是我们的最佳选择。同我们生活中的其他选择一样，它在其他性能方面通常会有一些折扣。但是，这同时就是你作为一名模拟设计人员的价值所在。我们的生活充满了各

种复杂的问题和选择，但我们仍然对它充满热爱。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/05/08/op-amp-voltage-ranges-input-and-output-clearing-some-confusion.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2012/11/02/51384.aspx>

7 差动放大器

——良好匹配电阻器不可或缺的器件

在单片IC设计过程中，我们常常会竭尽所能地对内部组件进行精确的匹配。例如，精确匹配运算放大器的输入晶体管，旨在获得低失调电压。如果我们必须使用属于我们自己的离散晶体管运算放大器，则我们会得到 30mV 甚至更高的失调电压。精确匹配组件的这种能力包括片上电阻器的使用。集成差动放大器利用高精度片上电阻器匹配和激光修整。这些集成器所拥有的卓越的共模抑制性能，有赖于精心设计集成电路的精确匹配和温度追踪能力。图 1 显示了如 [INA133](#) 等差动放大器的常用方法，其对于一个低电阻分流器的电压进行测量，从而监测负载的电流。要想抑制 10V 共模电压 V_s ，两个输入端增益必须完全相等并且极性相反。

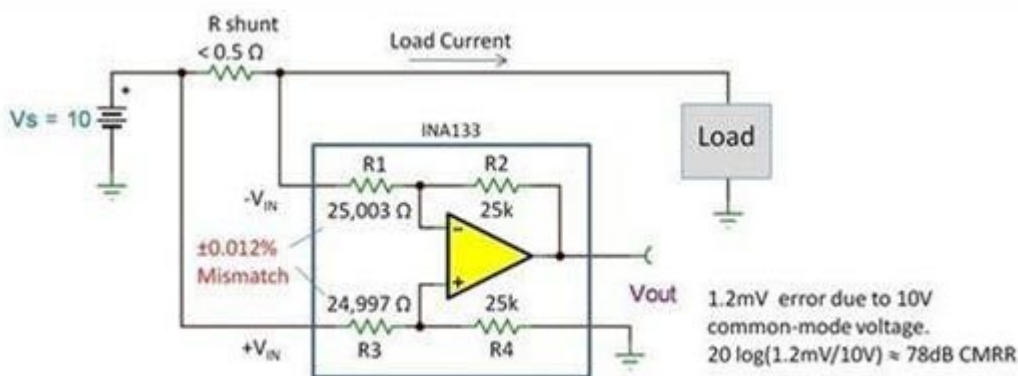


Figure 1.

图 1 中，我假设为一个理想的运算放大器，但输入电阻相互偏差 $\pm 3\Omega$ ，并且其 25k Ω 额定值中存在 $\pm 0.012\%$ 不匹配。这种非常小的电阻误差，会产生 1.2mV 的 10V 共模电压误差。由于分流器电阻的电压为零，10V 共模电压引起的偏移为 1.2mV。在大多数应用中，这是可以接受的，也即常用 50mV 满量程分流器电压 2.4% 偏移误差。但是，如果您使用常见 1% 或者甚至 0.1% 电阻器的差动放大器，则请您仔细检查误差：

Resistor Mismatch ¹	Error for $V_s = 10V$	Error on 50mV full scale	CMRR	Comments
$\pm 1\%$	99mV	198%	40dB	Too much C-M voltage error!
$\pm 0.1\%$	9.9mV	19.8%	60dB	Possibly usable with lower C-M voltage.
$\pm 0.012\%$	1.2mV	2.4%	78dB	Acceptable C-M error.

(1) Assumes two resistors are mismatched to extremes.

Figure 2.

如图 1 所示，该表格假设四个电阻器中的两个方向相反，并达到其最大容限，这是对潜在误差的合理估计。如果所有四个电阻器的偏差都达到极限，则这些误差翻倍，但这种情况不可能出现。本例还表明了保持低电源阻抗以及匹配这些差动放大器的重要性。错配电源阻抗带来的额外 $\pm 3\Omega$ ，可能会产生不可接受的误差。值得注意的是，[INA133](#) 的内部电阻器并未精确至绝对值。25k Ω 值的精确度仅大约为 $\pm 15\%$ 。在获得电阻器输入端大小相同（极性相反）增益的过程中，R1/R2 和 R3/R4 两个比率至关重要。内部差动放大器起到大多数仪表放大器输出级的作用，其存在相同的问题。

现在，知道这些集成匹配内部电阻器的值以后，我们再做一次回顾。稍后，我们将讨论如何利用常见 1% 电阻器和优秀运算放大器构建一个完美的差动放大器。

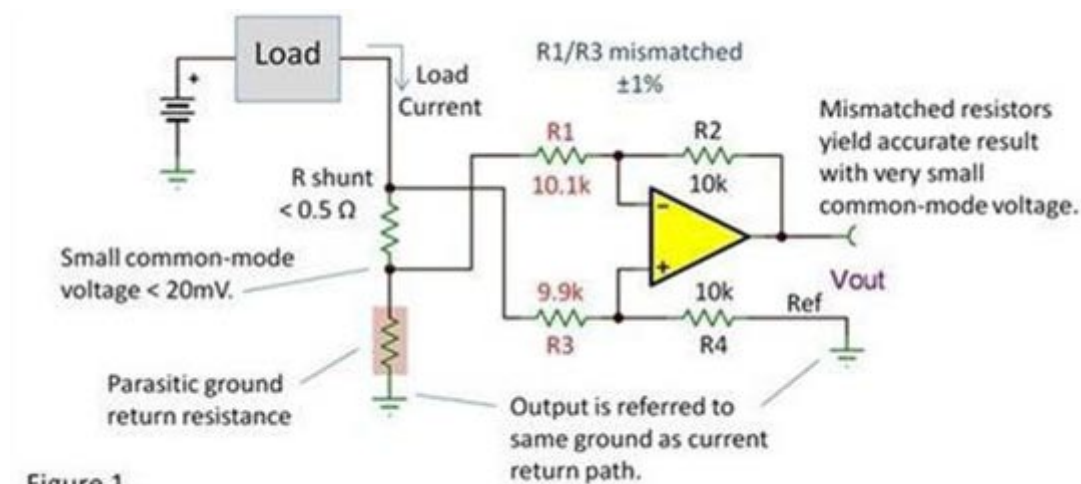
原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/04/24/difference-amplifiers-the-need-for-well-matched-resistors.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2012/11/04/51385.aspx>

8 构建属于你自己的差动放大器 ——有时 1% 电阻就已经足够了

通过上一篇文章，我们知道，集成差动放大器的高精确匹配的电容器对于获得需共模抑制至关重要。

然而，在一种相对常见的情况下，1% 电阻器和一个较好的运算放大器便可以构建一个完全合格的差动放大器。当我们在负载“低侧”的情况下使用一个分流器进行电流测量时，共模电压常常非常小。您可能会忍不住想要使用一个标准的非反相放大器来测量该分流器的电压，因为分流器电压为接地参考。但是，仍然可能会有较小的杂散接地电阻压降。您可能需要一种差动测量方法对该电压进行开尔文检测，从而实现分流器的四线连接。



由于杂散或者寄生电阻的压降都很小，因此使用中等共模抑制比的差动放大器便已完全足够。正如我们在上周的文章中所讨论的那样，如果在这种自制差动放大器的电阻器中，有两个电阻器错配 $\pm 1\%$ ，则杂散电阻误差电压衰减 100x，也即 40dB 的共模抑制比。如果这种寄生杂散电阻的唯一电流为已测得的负载电流，则所产生的误差刚好为期望信号的增益误差。它可以为正或者负增益误差，具体取决于电阻器错配的方向。但是，电路板或者系统中常常会存在其他电流，这些电流可能会形成与已测得的负载电流无关的电压。

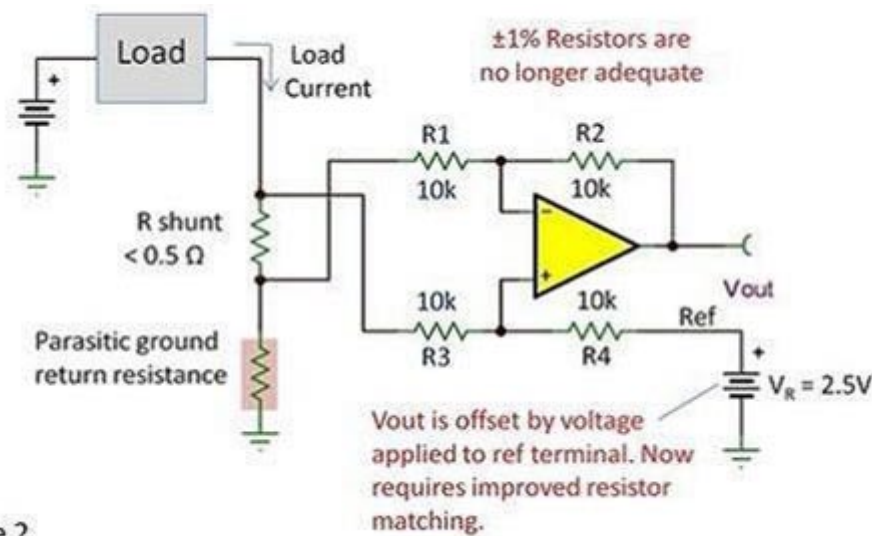


Figure 2.

另外，图 2 描述了一个低侧测量案例。在这种情况下，您可能还会需要高精度电阻器匹配。此时，输出电压为偏移电压，并且基准电压应用于差分放大器的“参考”端。这样做的目的—般是为了把输出电压升高至零以上，从而更加精确地处理接近零负载电流的信号。这种方法与我们上周介绍的方法极为相似。这种偏移电压，同我们上周讨论过的大共模输入电压很像。你需要精确的电阻率（例如：使用 [INA133](#) 时的电阻率），以确保 V_{out} 精确匹配 $2.5V V_R$ ，从而成为参考电压。简易差分放大器是一种重要的电路工具，每一名模拟设计人员都要了解其共模抑制属性和电阻器匹配的相关问题。但是，需要注意的是，用于测量分流器电流的专用 IC 数量众多。TI 将这些 IC 都统称作分流器电流监控器。它们可以在 $-22V$ 到 $+80V$ 的电压范围，对各种电阻器的电流进行测量。除电流外，它们中的一些还可以测量电压，并计算出功率大小。利用本文介绍的[分流器电流监控器选择指南](#)，看这些器件是否能够满足您的需要。

补充材料—下列 Excel 公式用于计算最接近的标准 1% 电阻值。复制下面蓝色部分内容，将其粘贴至 Excel 单元格 A2 中。在单元格 A1 中放入某个电阻值，单元格 A2 便会显示出最为接近的 1% 值。您可以将 A2 复制到其他单元格，这样便可以在其左侧单元格显示计算出的电阻值。

```
=IF(A1>(INT(0.5+100*POWER(10,IF(96*(LOG(A1)-INT(LOG(A1))),-
ROUND(96*(LOG(A1)-INT(LOG(A1))),0)<0,ROUND(96*(LOG(A1)-
INT(LOG(A1))),0)-1,ROUND(96*(LOG(A1)-INT(LOG(A1))),0))/96))*
POWER(10,INT(LOG(A1))-2)+INT(0.5+100*POWER(10,(IF(96*(LOG(A1)-
INT(LOG(A1))) - ROUND(96*(LOG(A1)-INT(LOG(A1))),0)<0,ROUND(96*(LOG(A1)-
INT(LOG(A1))),0)-1,ROUND(96*(LOG(A1)-INT(LOG(A1))),0))+1)/96))*POWER(
10,INT(LOG(A1))-2))/2,INT(0.5+100*POWER(10,(IF(96*(LOG(A1)-
INT(LOG(A1))) - ROUND(96*(LOG(A1)-INT(LOG(A1))),0)<0,ROUND(96*(LOG(A1)-
INT(LOG(A1))),0)-1,ROUND(96*(LOG(A1)-INT(LOG(A1))),0))+1)/
96))*POWER(10,INT(LOG(A1))-2),INT(0.5+100*POWER(10,IF(96*(LOG(A1)-
```

```
INT(LOG(A1))-ROUND(96*(LOG(A1)-INT(LOG(A1))),0)<0,ROUND(96*(LOG(A1)-
INT(LOG(A1))),0)-1,ROUND(96*(LOG(A1)-
INT(LOG(A1))),0)/96))*POWER(10,INT(LOG(A1))-2))
```

赶紧动手吧，试一试！

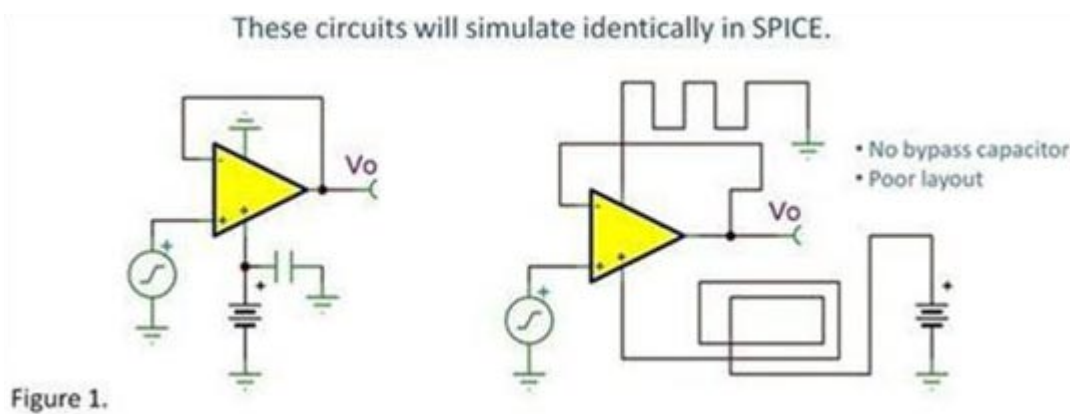
原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/04/30/making-your-own-difference-amp-sometimes-1-resistors-are-good-enough.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2012/11/05/51386.aspx>



9 电源旁路——SPICE 仿真与现实的差距

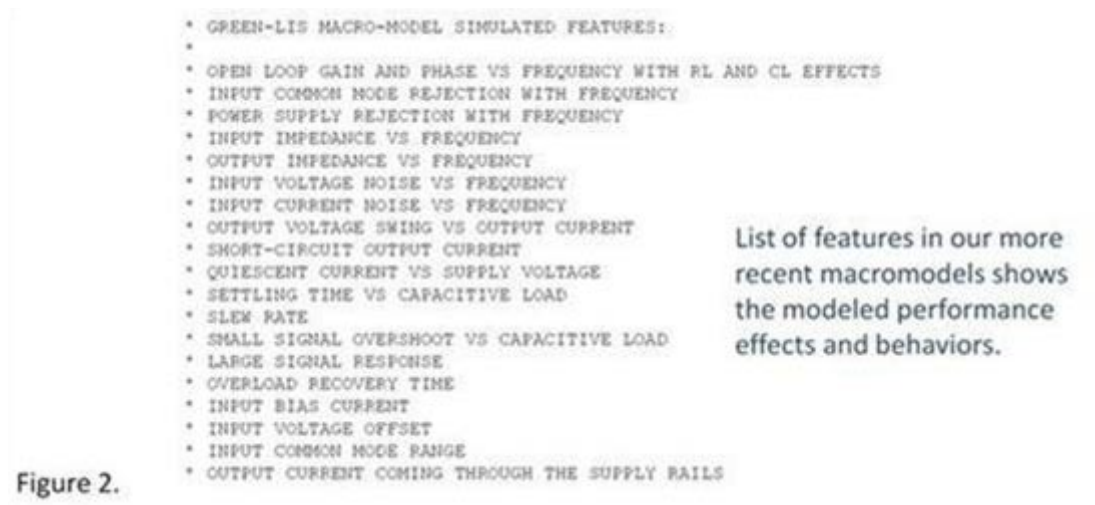
最近，在我们的高精度放大器 E2E 论坛上，有人给我提了一个问题，并附上了一幅 SPICE 仿真原理图（对此表示感谢！）。它是一个运算放大器电路（具体是什么样的电路已不重要），问题的重点是这个运算放大器电路在电源引脚上包括有一些旁路电容。当然，这可能是因为工程师的仿真程序直接导入电路板布局程序中。在最终电路中，这些旁路电容器至关重要。但是，仿真需要它们吗？使用它们当然没有害处，但是却并不需要。DC 到 THz，零阻抗下 SPICE 的电压源已经堪称“完美”，无需任何旁路电容。下面两个电路在 SPICE 中完全一样。左侧电源旁路电容器没有什么作用；右侧电源和接地长接点并未降低仿真性能。但是，在您的电路板上却有巨大的差异。



如果您的电路板布局，在板上的合适位置没有使用有效的旁路方法，也即没有旁路电容，那么您可能无法获得理想的性能。或者，您可能会面临讨厌的振荡问题。不要指责 SPICE 仿真；它不可能为您找出这些问题。即使您利用串联电阻和电感对糟糕的电源旁路建模，宏模未必能够精确地对不利影响建模。电源引脚上，各信号之间相互影响，并可能会引起振荡。这种情况很复杂，不要尝试对其进行建模。实际上，一些旧的宏模甚至不会将输出电流建模为来自电源端的电流。我们提供的一些新的宏模非常优秀，可以仿真放大器对电源噪声的抑制程度，但却无法正确地对其可能产生的不稳定性或者振荡进行建模。在一些我们的 IC 设计中，我们通常会对这些影响进行建模。我们对整个电路进行了十分详细的仿真—包括每个晶体管、电阻器和电容器。诸如引线电感和片上线路电阻以及不同电路板布局的电容等寄生组件都包括在内。因此，我们常常会对非完美电源的各种影响进行建模，目的是查看它对器件的影响情况。但是，这种精细度已经超出了宏模能够仿真的程度。

使用 SPICE 宏模对您的放大器电路进行仿真是一种好方法，它让您能够清楚地看到许多电路工作时才会出现的问题。我们提供的大多数最新宏模—“Green-Lis”版—非常优秀，确实是业界最好、最完整的宏模。但它们也只是宏模而已。它们无法仿真

电路的所有行为。另外，它们也无法为糟糕的电路布局和电源旁路负责。



阅读运算放大器相关文本文件（请参见图 2），可以让您清楚地了解我们的宏模中所包含的一些性能属性和性能表现。多年以来，我们一直向用户提供宏模特性列表。我们免费版 SPICE 程序的 [TINA-TI](http://www.tina-ti.com) 中，可查看详情，具体操作为：双击原理图符号，然后点击“进入宏”。十多年前的一些宏模应该都不太复杂，因此可能没有包括在这份列表中。

后续博文中，我们将进一步深入探究宏模和其他 SPICE 问题。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/05/16/power-supply-bypassing-spice-simulations-vs-reality.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2012/11/19/spice.aspx>

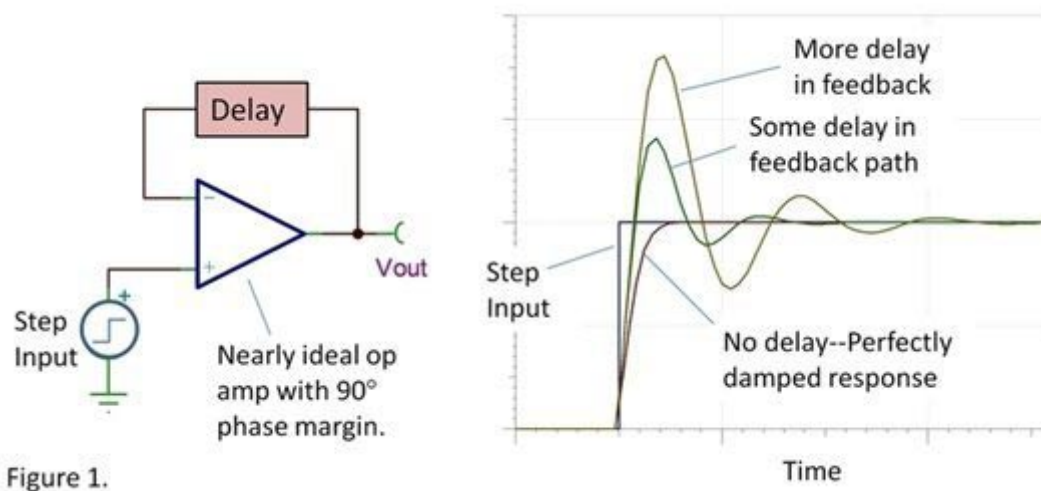
10 为什么运算放大器会发生振荡 ——两种常见原因浅析

虽然 Bode 图是一种很不错的分析工具，但是您可能没有还发现该图太过直观了。就运算放大器不稳定和振荡而言，Bode 图这是对常见原因的一种直观表述。

在反馈信号到达反相输入端时就会发生如图 1 中所示的完美的无延迟阻尼响应。运算放大器通过斜坡至最终阈值并在反馈信号检测到在适当输出电压时的闭合缓缓下降来进行响应。

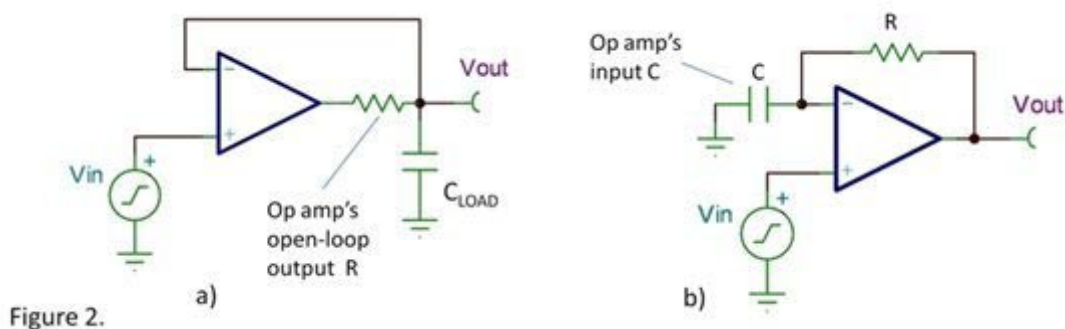
当反馈信号延迟的时候问题就会进一步恶化。由于在环路中有延迟，放大器无法立即检测到其达到最终阈值的进程，进而以过快地向正常输出电压移动的形式表现为过响应。请注意延迟反馈越多最初斜率也就越快。反相输入无法及时接收到其已经达到并传递出正常输出电压的反馈。其将过冲目标并在最终建立时间前需要诸多连续的极性纠正。

如果是少量的延迟，您可能只是看到了一些过冲和振铃。如果是大量的延迟，那么这些极性纠正就会永无休止——进而形成振荡器。



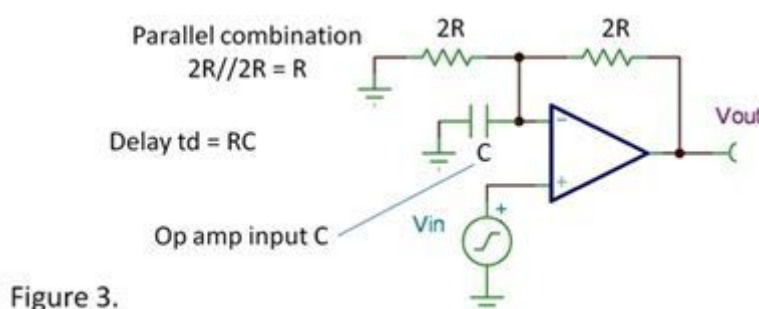
延迟的根源通常是一个简单的低通 R-C 网络。就所有频率而言，这虽然不是一个恒定的延迟，但是该网络从 0° 到 90° 的逐渐相移会产生一个一阶逼近的时延， $t_d = RC$ 。

最常见的有两种情况，R-C 网络不经意间就会在我们的电路中形成。第一种情况是容性负载（请参见图 2a）。电阻就是运算放大器的开环输出电阻，当然电容器就是负载电容了。



第二种情况是（请参见图2b）反馈电阻和运算放大器的输入电容形成了 R-C 网络。在这个敏感的电路节点电路板连接也是电容的重要因素。请注意这两个电路具有相同的反馈环路，唯一不同的是输出的节点不同。从环路稳定性的角度来说，他们会产生同样的问题。延迟反馈的这两个因素通常都会起作用——如果两个因素同时作用的话会带来更大的麻烦。

对于第二种情况需要作一点点解释：就简单的 $G=1$ 缓冲器而言通常不需要反馈电阻，因此更为常见的一种情况是在使用了一个反馈电阻和电阻接地的增益结构中（请参见图 3）。R/C 电路中的这些并联的电阻就形成了高效的 R。



关于反馈放大器的 Bode 分析我们还有很多要学习的方面。因此该有关反馈路径中的延迟或相移如何影响稳定性的简单直观表述有助于您诊断并解决一些最常见的稳定性问题。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/05/23/why-op-amps-oscillate-an-intuitive-look-at-two-frequent-causes.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/10/51390.aspx>

11 “驯服”振荡运算放大器

鉴于反馈通路中相移（或者称作延迟）引起的诸多问题，我们一直在追求运算放大器的稳定性。通过上周的讨论我们知道，电容性负载稳定性是一个棘手的问题。

如果受反馈网络电阻影响的运算放大器输入电容（加上一些杂散电容）形成的相移或者延迟过大，则简易非反相放大器便会不稳定，或者出现大量过冲和振铃。您可以通过减少该节点的杂散电容来获得一定的改善，其可以最小化这种连接的电路板线路面积。使用某个特定的运算放大器时，输入电容（差分电容+共模电容）为固定值——您会受到它的束缚。但是，您可以按比例减小反馈网络的电阻值，以保持增益不变。这样可将该电容所产生的极点频率移至更高频率，并减小延迟时间常量。本例中，我们将电阻减小至 5kΩ 和 10kΩ，获得了明显改善，但仍然产生了约 10% 过冲，并有振铃出现。另外，它还给运算放大器带来额外的负载，因此您不能过多地使用这种解决方法。两个电阻器的和为运算放大器负载，因此您可能不希望其太低。

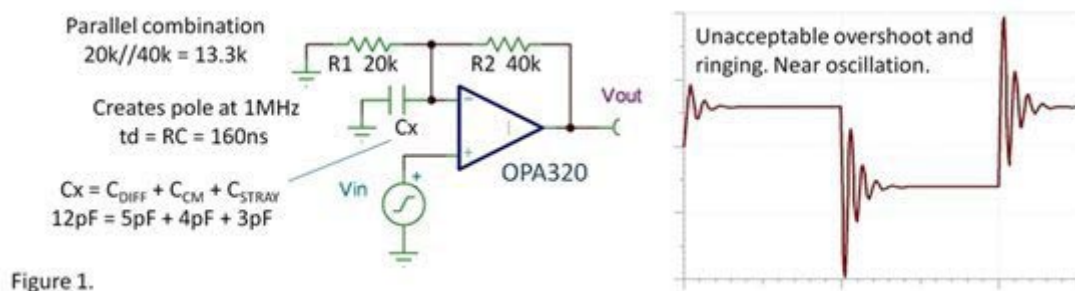


Figure 1.

更理想的解决方案可能是一个与 R2 并联的电容器 Cc（请参见图 2）。当 $R1 \cdot C_x = R2 \cdot C_c$ 时，分压器获得补偿，并且所有频率的阻抗比均恒定不变。这样，反馈网络中便没有相移或者延迟。：)

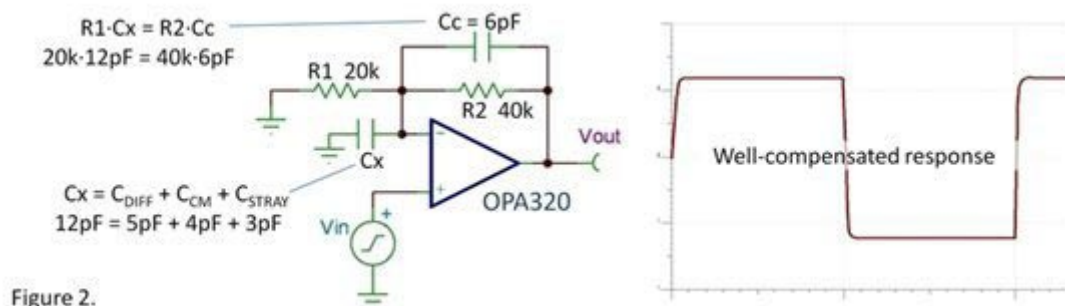
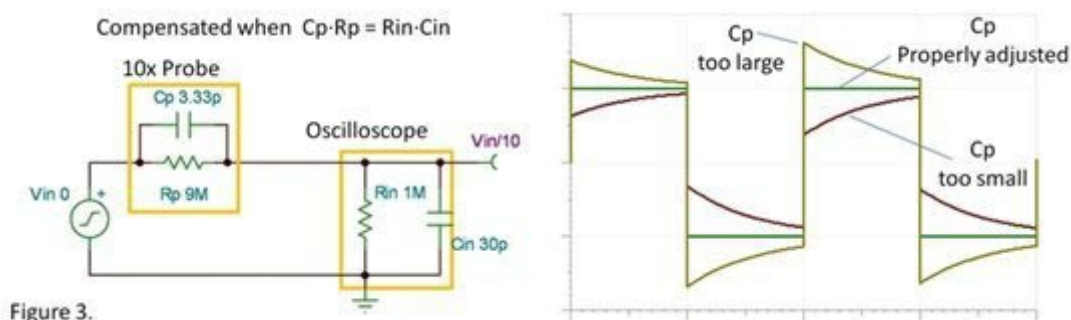


Figure 2.

您可以把这种反馈网络比作 10x 示波器探针的补偿衰减器（请参见图 3），其概念是一样的。探针中的可变电容器允许进行调节，以让两个时间常量相等。请注意，这种示波器探针的响应从未表现出不稳定，即使错误调节时也是如此。为什么呢？原因是它并没有在反馈环路内部。



正如让其中一个电容器在示波器探针中可调节来对补偿进行微调一样，您也需要对图 2 所示 C_c 的值进行调节。由于杂散电容存在不确定的影响，因此我们可能无法知道电容 C_x 的准确大小。另外，您可能希望微调电路的响应来达到您的要求。这样做可能会产生一些过冲，但却可以获得更高的速度和更佳的带宽。

之前，我介绍了不稳定性的另一种常见情况，即电容性负载运算放大器。现在，这种解决方案又在环路中产生了相移（反馈延迟），而其为问题的根源。这一次的情况很复杂，因为开环输出电阻在运算放大器内部。我们无法穿过该电阻器连接一个补偿电容器。实际上，它并非为一个真正的电阻器，它是运算放大器电路的一个“等效”输出电阻。因此，下次，我们将讨论电容性负载问题。

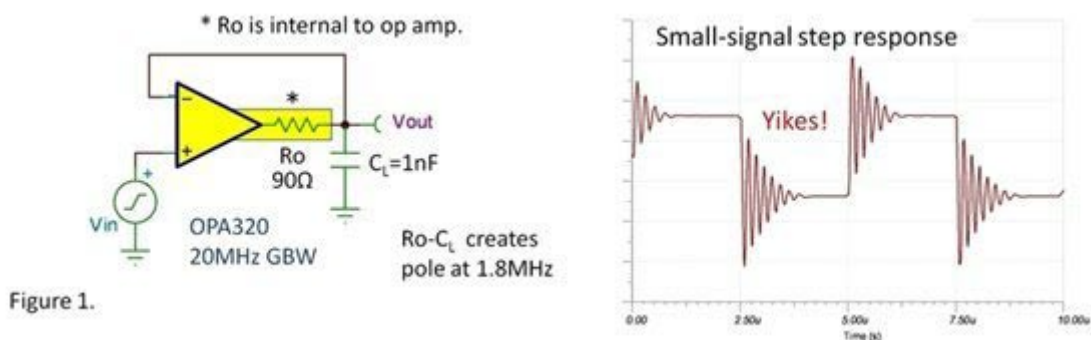
原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/05/30/taming-the-oscillating-op-amp.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/14/51391.aspx>

12 “驯服”振荡—电容性负载问题

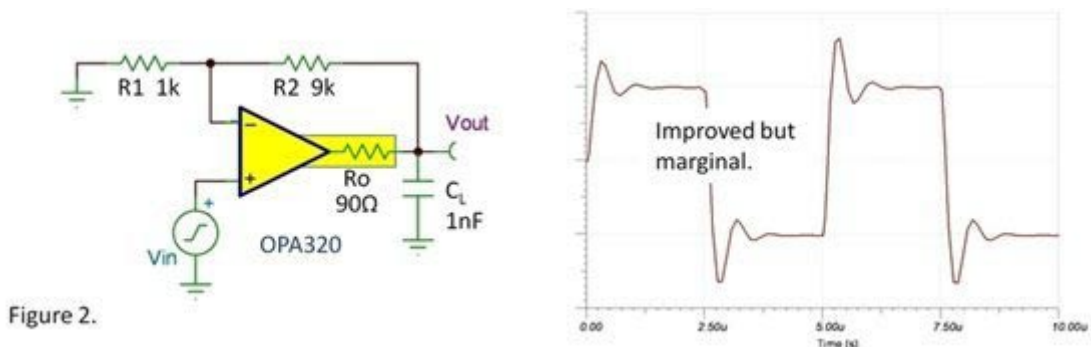
鉴于反馈通路中相移（或者称作延迟）引起的诸多问题，我们一直在追求运算放大器的稳定性。通过上周的讨论我们知道，电容性负载稳定性是一个棘手的问题。如果您才刚刚接触我们的讨论，那么您应该首先阅读前两篇博客文章《[振荡原因](#)》和《[“驯服”振荡](#)》。

“麻烦制造者”运算放大器开环输出电阻 (R_o)，实际并非运算放大器内部的一个电阻器。它是一个依赖于运算放大器内部电路的等效电阻。如果不改变运算放大器，也就不可能改变这种电阻。 C_L 为负载电容。如果您想驱动某个 C_L ，您就会受困于 R_o 和 C_L 形成的极点频率。G=1 时 20MHz 运算放大器的反馈环路内部 1.8MHz 极点频率便会带来问题。请查看图 1。



对于这个问题，有一种常见解决方案—调慢放大器响应速度。想想看，环路具有固定的延迟，其来自 R_o 和 C_L 。为了适应这种延迟，放大器必须更慢地响应，这样它才不至于超过去，错过希望获得的终值。

减速的一种好办法是，将运算放大器放置在更高的增益中。高增益降低了闭环放大器的带宽。图 2 显示了驱动相同 1nF 负载但增益为 10 的 [OPA320](#)，其小步进值的响应性能得到极大提高，但仍然很小。将增益增加到 25 甚至更大，似乎相当好。



但是另一个问题出现了。图 3 增益仍为 10，但增加了 C_c ，其将速度又降低了 1 位。 C_c 过小时，响应看起来更像图 2。 C_c 过大时，可能出现问题，其看起来更像图 1。

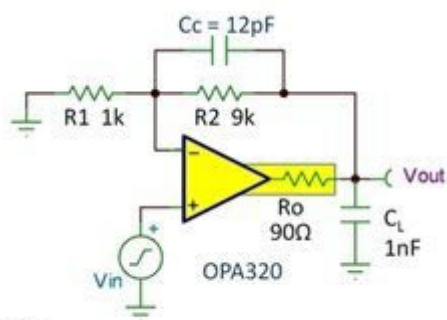
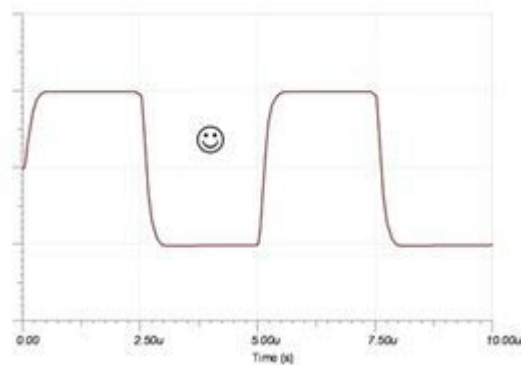


Figure 3.



恰到好处地补偿，可解决“靠近速率”问题——波特图分析。这已经超出一篇博客文章所能讨论的范围了，因此我只能试着给您一些建议。在解决这些问题时，可以借助于您的直觉，但是如果您提高补偿操作的能力水平，那么就需要向波特先生（波特图）请教了。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/06/05/taming-oscillations-the-capacitive-load-problem.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/15/51392.aspx>

13 “典型值” ——在产品说明书规范中到底是什么意思？

设计人员有时会发现运算放大器产品说明书规范令人费解，因为并非所有性能特性都有最小规范或者最大规范。有时，您必须使用规范表或者典型性能图表中的“典型值”。但是，这个“典型值”到底是什么意思呢？它的变化范围是多大呢？

要想回答这个问题并不容易，它取决于具体的规范。下面，我们对容易引起疑问的 3 个特性进行逐一说明：

带宽——运算放大器的增益带宽积 (GBW) 主要由输入级电流和片上电容值控制。这两个变量的变化，可产生的 GBW 变化范围为 $\pm 20\%$ 左右。看起来，这是一个比较宽的范围，但是通过选择一个大裕量的运算放大器，却可以更加轻松地进行大范围 GBW 设计。如果必要，可以利用一些反馈组件，对您的应用的闭环带宽进行控制。请注意，在开环增益/相位图（请参见图 1）上，这种变化看起来非常的小。

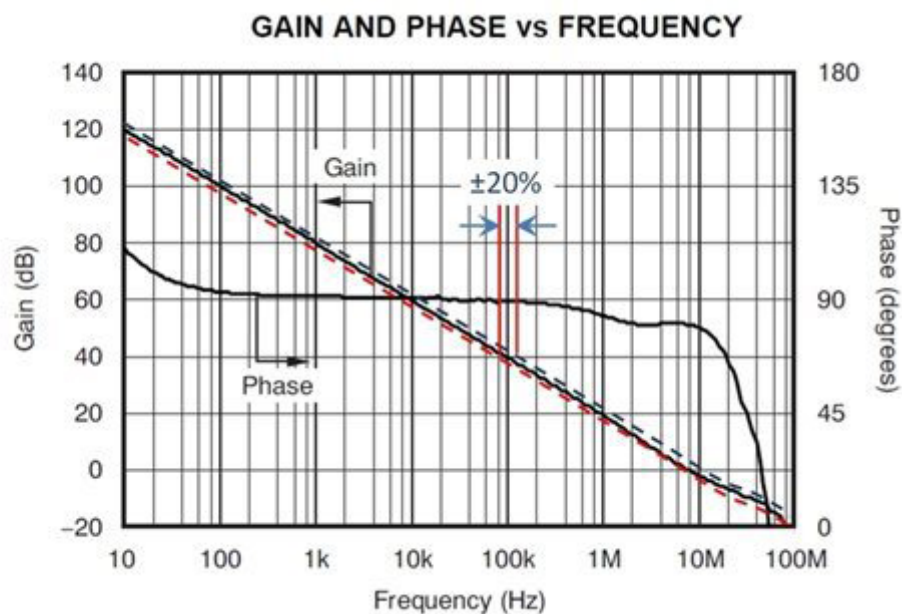


Figure 1.

转换率受到诸如带宽、内部电流和电容等相同变量的影响。通常，选择比最低需求速度高 20% 的运算放大器便已足够。或许，您希望在一些重要的应用中拥有更多的裕余量。大多数应用并不会将放大器推高至其转换率极限值附近，因此这样做并无问题。

电压噪声——放大器的宽带或者平带电压噪声主要取决于一个或者多个输入级晶

体管的电流。大电流会以一种平方根的方式降低噪声。因此 20% 的电流变化，可带来约 10% 的平带噪声密度变化（请参见图 2）。

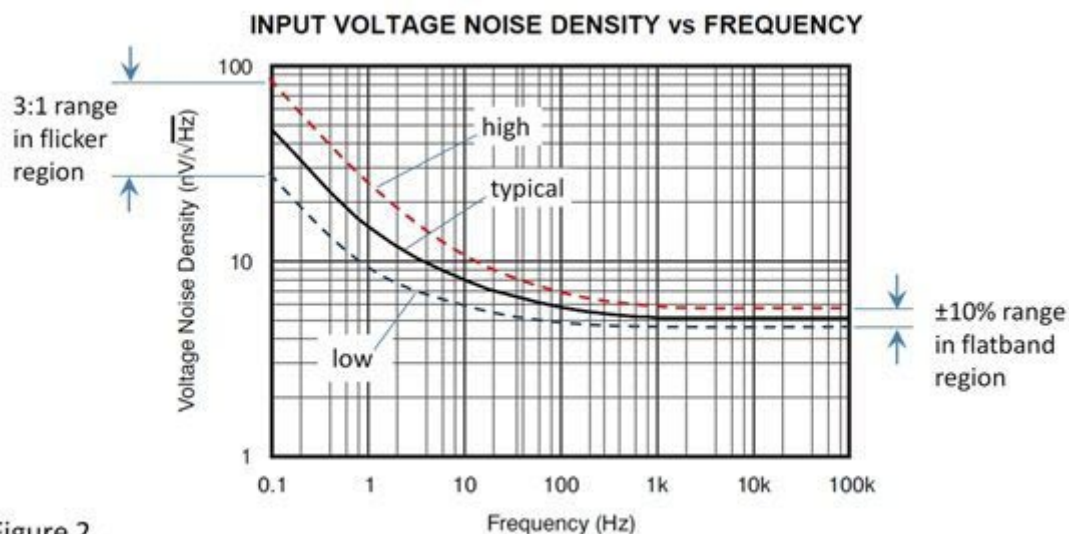


Figure 2.

低频 $1/f$ 噪声（也称作闪烁噪声）是另一回事，它的变化范围更大。 $1/f$ 区的噪声振幅在约 3 : 1 范围变化。JFET 和 CMOS 制作工艺的差异可能稍大一些。该噪声区域决定低频带（通常规定为 0.1 到 10Hz）的峰值到峰值噪声大小。

的确存在一些较好的指导原则，但却无法详细说明放大器设计和所用 IC 工艺的确切变化范围。但是，有一些资料总比没有强，并且大多数设计都可以较好地适应这些估计差异。

适合于您的应用的裕量，可能会随您设计的设备（也可能是您正进行的终端产品测试）类型而变化。裕量与规范不符会影响您设计针对的目标余量。这种“工程判断”是良好模拟设计的一个重要因素。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/06/12/typical-what-does-it-mean-in-a-data-sheet-specification.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/16/51393.aspx>

14 热电偶

——每一个模拟设计人员都应该熟知的组件

或许您从来都没有使用过热电偶，假设您没有必要知道其工作原理，但我不同意这一观点。我相信花上十分钟阅读相关资料是非常值得的。如果您已经非常熟悉其工作原理了，那么在我做错的时候请告知我。

热电偶是由两种不同金属制成的温度测量传感器。它们有可能是铜制的或铁制的，也可能是由特殊的金属混合物制成的。不同金属材质的两根导线在一个结点处相连接（这给我们提供了第一个重要的点）——在节点处没有电压，这和您要连接的任何两根导线一样，在连接处不会产生电压。

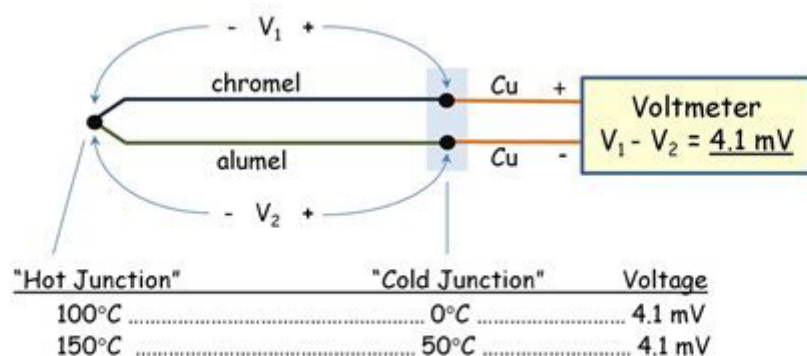


Figure 1. K-type thermocouple (chromel-alumel), $\approx 41 \mu\text{V}/^\circ\text{C}$

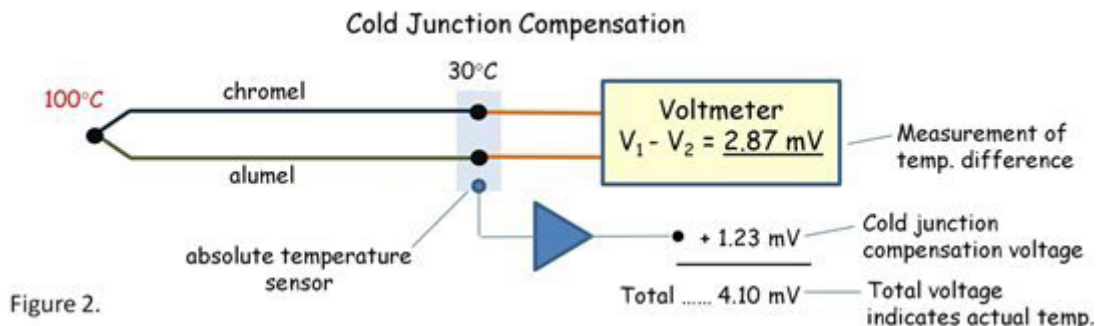
现在我们知道了：当导体的一端与其另一端的温度不一样时，在导线的两端就会产生一个电压。没错这是真的！无论该导线的电阻如何其只表现为电压而没有电流流动——这就是塞贝克效应。如果我们使用两种不同的金属，那么将会产生两个不同的电压，并且二者的电压差可以在开路末端测量到，请参见图 1。请注意，如果您想测量出相同金属单根导线的绝对塞贝克电压，那么您所测量的导线会产生相相同的电压，测量值为零。您只能测量不同导线对之间的差。

在完成该测量过程中，您需要在测量端创建一个或两个以上的结点（如果两根导线都不是铜导线的话就要创建两个结点）。我们称之为冷结点，这是因为一般而言（并非经常）在进行测量的一端的温度比没有进行测量的那一端的温度会高些。

热电偶只测量温差。请注意，在图 1 中您测量了两种示例情况下的相同电压。热结点和冷结点间 100°C 的温差将产生 4.1mV 的电压。获取热端绝对温度测量的老式方法是将冷结点浸入一个冰冷的水中（这是被称作冷结点的另一个原因）。已发布的热电偶参数表假设冷结点为 0°C 。

如果您想知道热结点的绝对温度但不想用冷水浸没法的话，您就必须要知道

冷结点的温度。该测量可以使用诸如 [TMP20](#) 或 [ADS1118](#)（与 A/D 转换器配合）、thermistor、RTD 或其他可以测量绝对温度（而非相对温度）的半导体传感器完成。根据测量的冷结点温度（请参见图 2）一个与热电偶系数相同的电压被加了进来。这一工作可以以模拟形式完成也可以以数字形式完成，称为冷结点补偿。如果冷结点为 0°C，那么这一合计的结果就是将会产生的电压。



如果在冷结点处您需要一个绝对温度传感器，为什么不只使用该传感器来测量热端呢？热电偶可以测量很宽泛的温度范围：低温度测量到高达 1800°C 以上的高温测量，具体取决于不同的类型。这或许会有其他好处，具体取决于应用。

如果所有导线都产生相同的电压，为什么在我们的电路中不能屡屡看到该效应呢？在电子应用的正常温度下，电压很低并且我们通常使用相同或具有相对低塞贝克系数的相似的导体。当我们使用不同金属时，两个结点的温度通常会是一样的。

如果您要测量微小的 DC 电压，则您需要特别小心。例如，我们测量高精度斩波放大器的失调电压时，我们就必须要选择我们诸如连接器的组件和材料，并精心布线。机械布局必须假设不同导体的结温与其他导体相近并且为热耦。我们使用锁存继电器以最小化热量并保持其他热源不成为低电平电路。正确测量一些微电压是一项复杂的工作，且附带的热电偶通常是准确度的最终极限。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/06/26/thermocouples-stuff-that-every-analog-designer-should-know.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/17/51394.aspx>

15 靠近接地摆动——单电源工作

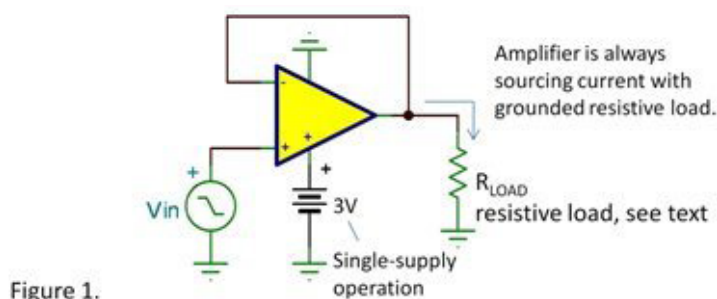
轨至轨放大器可产生极为接近接地的输出电压.....但到底接近到什么程度呢？我们谈的是CMOS运算放大器。当你正努力最大化输出电压摆动时，它常用于低压设计。这些器件的规格通常如下：

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
OUTPUT					
Voltage output swing from both rails	$R_L = 10k\Omega$		15	25	mV
	$R_L = 2k\Omega$		35	50	mV

这让它看起来，输出绝不会比15mV更接近接地，而最后一个15mV对于准确的零式测量至关重要。但请等一下.....你的确需要仔细理解这种规格的所有状态。假设负载在两个电源端之间“半”连接。我们通常可在规格表的顶部看到这些状态，你会看一条如下声明.....

R_L 连接至 $V_S/2$.

在这种规格状态下，在输出靠近接地时，放大器必须通过负载电阻器吸取电流。它反映了放大器测试的方法，其确保它能够正确地输出和吸取电流。这是测试和规定放大器的一种明智、保守的方法，但它却不是连接你的负载的方法。假设你的负载如图1所示连接接地。负载电阻器实际帮助下拉输出至接地，而吸取电流也无需放大器。



在这种状态下，大多数CMOS运算放大器的摆动均可非常接近接地——小于1到2毫伏。规格可能并没有重点说明这种能力，但其已显示在图中。图2表明，输出电压摆动与输出电流相关。该图可能受益于高精度，但你会看到在进行这种测试时输出电压与具体的电压轨相交，即 $\pm 2.75V$ 。单电源工作时，V-电源等于0V。

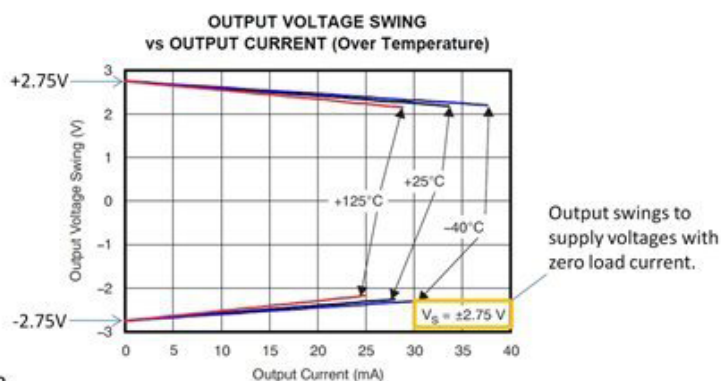


Figure 2.

现在，我需要增加一些附加条件。注意，在图3中，反馈网络参考接地。你需要考虑放大器负载的所有源，不仅仅只是 R_L 。在这种情况下， $R1 + R2$ 为同 R_L 并联的有效附加接地参考负载。但是，如果 $R1$ 参考正电压，则输出接近0V时需要放大器来吸取来自反馈网络的电流，并且输出摆动无法非常接近接地。

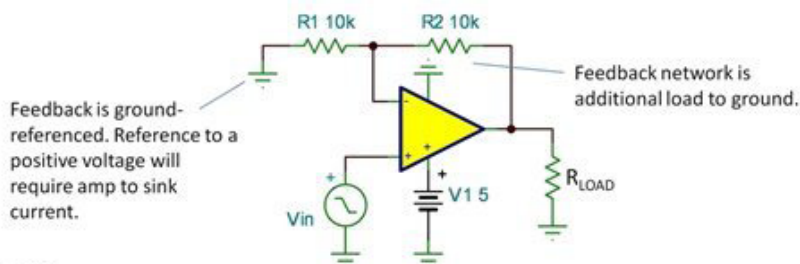


Figure 3.

另一个附加条件。在同一块电路中，如果增益增高，则输入偏置电压可能会使你的输出摆动变小。例如， $G=20$ 时，如果输入为 $+1\text{mV}$ 运算放大器的偏置电压，零输入将产生 20mV 输出。这不是由于输出摆动限制，而是偏置电压问题。当然，小负输入电压可带来极为接近0V的输出，但你的电路绝不会有负输入电压。

再次—反应式负载AC信号或许是一个例外。负载电流和电压与反应式负载不同相，因此输出电压接近接地时可能要求放大器来吸取电流。

最后一我们谈的是CMOS运算放大器。双极（BJT）运算放大器摆动无法如此接近接地。

低压、电池供电型电路具有挑战性，因为我们好像始终都在努力最大化电压摆动。较好地理解运算放大器的性能以后，你才能挤出更多的输出摆动，以接近接地。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/07/10/swinging-close-to-ground-single-supply-operation.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/18/51395.aspx>

16 “我需要高输入阻抗！”

在帮助选择运算放大器和**仪表放大器**时，我经常听到这样的声音：“我需要真正的高输入阻抗。”哦，真是如此吗？你确定吗？

输入阻抗，更确切地说是输入电阻，很少会成为一个严重问题。（输入电容也即输入阻抗的电抗部分则是另外一回事，我们改日再讨论。）通常，我们最需要的是低输入偏置电流 I_B 。没错，它们相关，但却不同。下面，让我为你娓娓道来：

一个简单的单输入模型为电流源（输入偏置电流）和输入电阻的并联组合，如图 1 所示。该电阻器使输入电流随输入电压而变化。输入偏置电流为具体输入电压下的输入电流，通常使用中等电源。

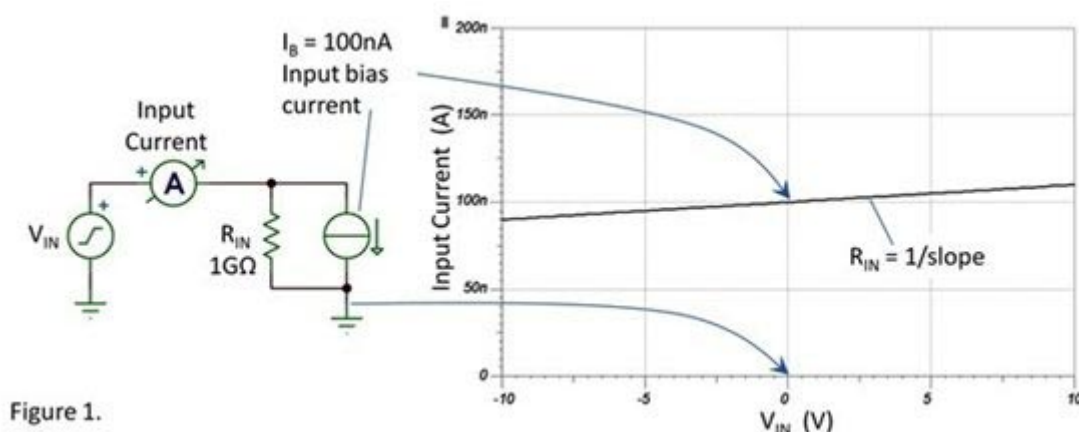


Figure 1.

输入电阻是一种“输入电压变化，输入电流也变化”的方法。它可能具有一安培的输入偏置电流，并且输入电阻仍然极高。

我们通常会给出一幅典型图，表明输入偏置电流与共模电压的关系。下面有一些例子，你可以看到它并非为一条笔直的线条。请注意，**OPA211** 为一款具有**输入偏置电流抵消功能**的 BJT 输入运算放大器，它可以大大降低输入偏置电流，但其仍然很高。**OPA211**的输入偏置电流和高噪声电流（后面再讨论），让其可能无法用于 10kΩ 以上的电源电阻，因此其 1.3GΩ 的输入电阻很少会成为一个问题。

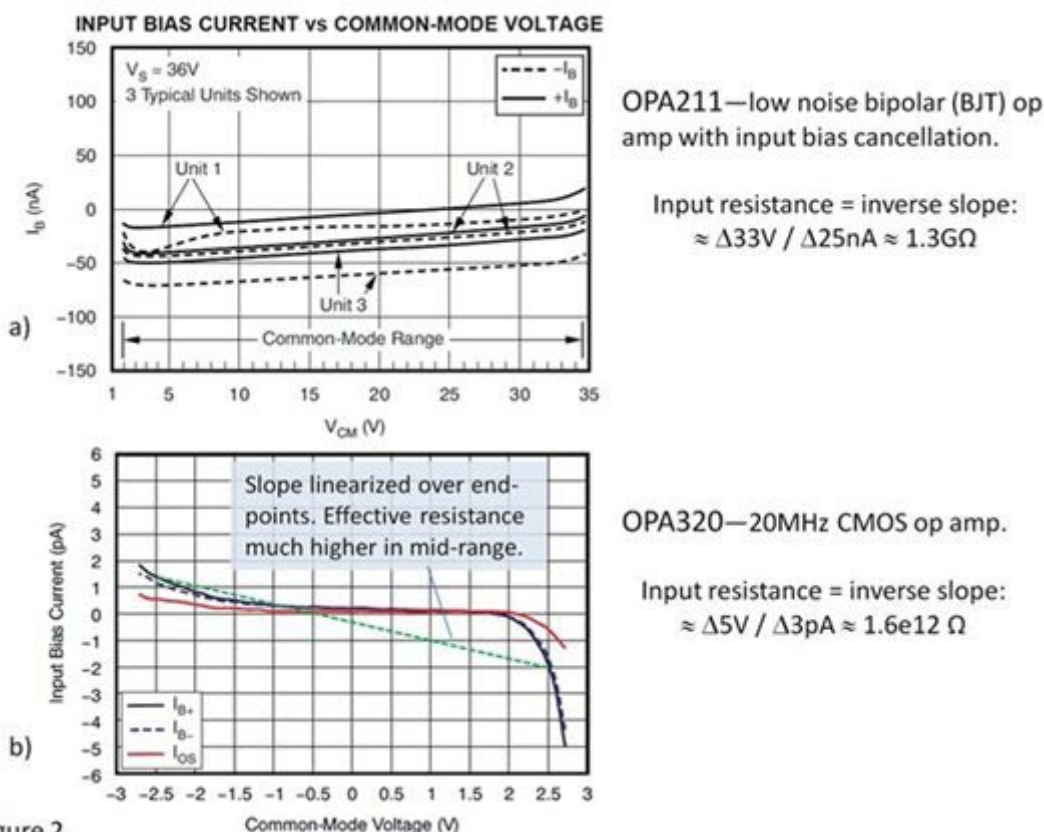


Figure 2.

OPA320 CMOS 运算放大器拥有很小的输入偏置电流，且其主要来自于输入ESD保护电路的漏电流。这些漏电流在轨电压附近达到最大。当要求非常低的输入偏置电流时，CMOS 和 JFET 输入放大器通常为最佳选择。没错，输入电阻也很高，但在选择放大器时它一般不会是一个重要的考虑因素。

输入偏置电流会对精密模拟电路产生不利影响的方式有几种。流过某个电源电阻或者反馈网络电阻后，它会让 $I_B \cdot R_S$ 促使形成偏移电压。渡过某些传感器和化学单元时，例如：PH 电极，它会极化该电极，从而形成误差，甚至造成永久性损坏。输入偏置电流将对积分电路的电容器充电，形成一个零输入的斜线上升输出。

根据你的电路对输入偏置电流的敏感程度，它可以成为放大器选择过程中的决定因素。查看典型性能图表，其表明了输入电压的 I_B 变化情况，并注意具体的电压范围。CMOS 和 JFET 放大器的高温表现可能会特别重要，因为它们的 I_B 通常随温度升高而急剧增加。

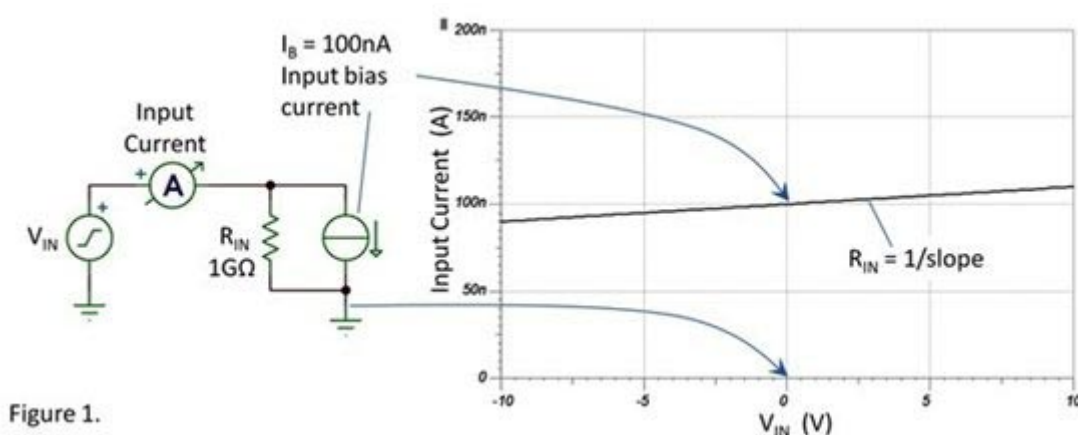
原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/07/16/i-need-high-input-impedance.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/22/51396.aspx>

17 失调电压与开环增益——它们是“表亲”

失调电压与开环增益——它们是表亲

所有人都知道失调电压，对吧？在图 1a 所示最简单的 $G=1$ 电路中，输出电压是运算放大器的失调电压。失调电压被建模为与一个输入端串联的 DC 电压。在单位增益中， $G=1$ 时，失调电压直接传递至输出。在右侧高增益电路中，输出电压为 $1000 \cdot V_{os}$ ，没错吧？

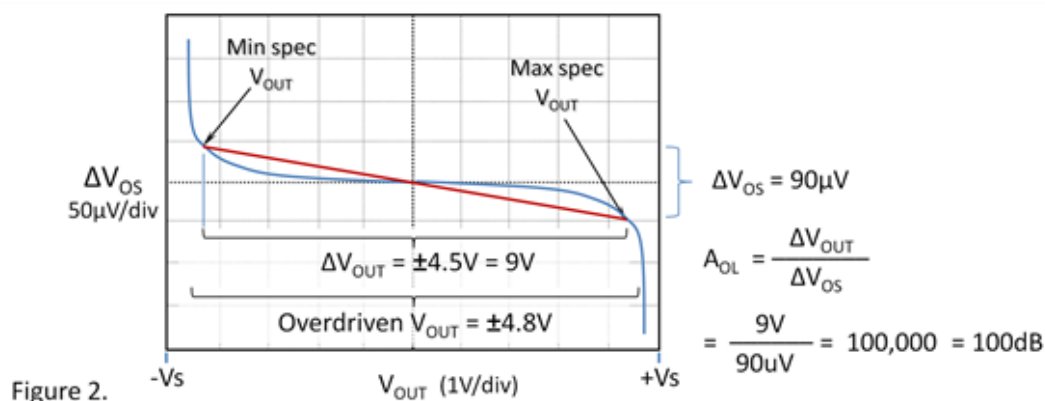


好吧，差不多是这样，但不完全。理解这种“不完全”，可帮助你了解你运算放大器电路的误差。

在第一种情况下，输出电压非常接近基准电源（我们假设 \pm 电源）。它是我们定义和测试失调电压的输出电压。但在第二种情况下，输出电压可能为几伏，其假设失调电压为几毫伏。这要求在运算放大器输入端有少量额外差分电压，以形成输出摆动（具体根据该放大器的开环增益）。让我们来进行一些具体的计算：

如果 DC 开环增益为 100dB，则其相当于 $1/10^{(100\text{dB}/20)} = 10\mu\text{V}/\text{V}$ 。因此，每从基准电源输出摆动 1 伏，输入电压必须改变 $10\mu\text{V}$ 。可把它看作是随 DC 输出电压变化的失调电压。输出摆动 9 伏，其变化为 $90\mu\text{V}$ 。或许，这种变化对于你的电路来说不足为道，也可能会有影响。

重点是，把有限开环增益看作是随输出电压变化而变化的失调电压，可为估计误差提供一种直观的方法。另外，这种误差的特性也有关系。为了测试失调电压和开环增益，我们使用一种特殊的双运算环路。利用它，我们可以控制输出电压，并测量失调电压。如果我们从全输出范围整体来看输出电压，这种失调电压变化情况看起来有点像图 2。



请注意，最大的失调电压变化往往出现在输出极值时，接近正负轨。运算放大器“全力”产生其最大输出。在中间部分，增量开环增益更高，然后下降接近轨附近的输出。正如对电路所做的计划那样，确实是这种情况。当你把运算放大器推向其摆动极限时，失调电压会更剧烈地上升。

并非所有运算放大器制造商对 A_{OL} 的规定都相同。我们的精密运算放大器经过开环增益测试，在一个较大的输出摆动范围求其平均值，以实现良好的线性运行（图2中红色线条）。它的规格表如下：

OPEN-LOOP GAIN	Conditions	Min	Typ	Max	Units
Open-Loop Gain A_{OL}	$(V_-) + 0.5V < V_O < (V_+) - 0.5V, R_L = 10k\Omega$	100	120		dB
	$(V_-) + 0.5V < V_O < (V_+) - 0.5V, R_L = 2k\Omega$	96	116		dB

Table A. Shows that min A_{OL} is assured with output swing 0.5V from rails.

Two load conditions shown. Higher A_{OL} with 10k load.

当运算放大器超负荷工作时（形成更大的失调电压），输出摆动更接近轨。有时，我们所列出的输出摆动会不同于表A。例如，表B的输出摆动表明了输入过大的输出电压。在我们运算放大器开发组，它被戏称为“冲撞规格”，意思是输入过大，一路冲撞到轨。

OUTPUT	Conditions	Min	Typ	Max	Units
Voltage output swing from rails	$R_L = 10k\Omega$	0.2	0.15		V
	$R_L = 2k\Omega$	0.3	0.2		V

Table B.

两种规格都有用，具体取决于你应用的要求。关键是理解并小心解读各种规格。

原文请参阅：http://e2e.ti.com/blogs_/b/thesignal/archive/2012/07/30/offset-voltage-and-open-loop-gain-they-re-cousins.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/01/23/51397.aspx>

18 光电二极管启蒙

看到技术论坛上出现不少关于光电二极管和相关电路的问题，针对这方面内容，我想跟更多同行做个分享。这些知识是所有模拟设计者所必须了解的。

一个典型的光电二极管模型包含以下关键元素，一个二极管并联一个电流源，并且电流源与光强成正比。寄生元件 C_D 和 R_D 会影响器件性能。

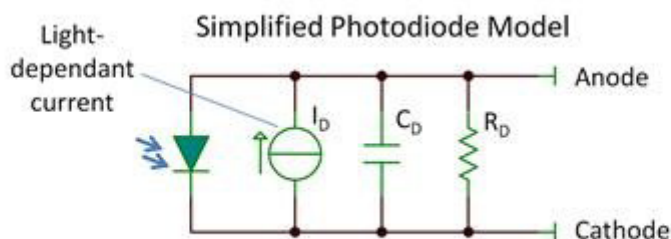


Figure 1.

光伏模式-光电流在如图2所示的环路中流动，并且给二极管提供正向偏置。由于二极管的电压电流间成对数关系，因此空载的输出电压与光电流间近似成对数关系，并且通过 R_D 上的一个小电流得到修正。所以输出电压与光强之间是高度非线性的关系。某些应用将很受益于对数关系，因为在很大的范围内，光强的改变(眼睛是完美的对数型)会使电压发生类似的改变。由于二极管电压电流特性与温度相关，电压与光强之间的绝对关系很差。

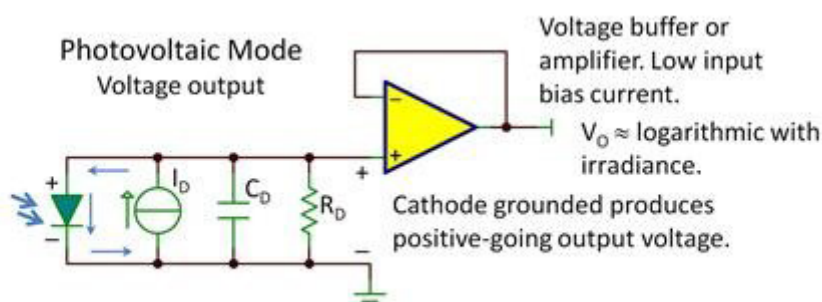


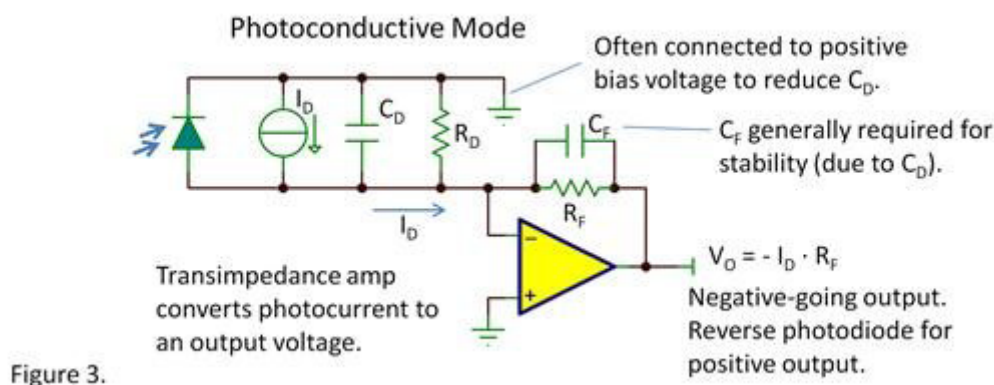
Figure 2.

在光伏模式下，二极管电容限制了频率响应。光强的快速改变会对 C_D 进行充放电。这并不是用于快速响应的模式。

输出端可以引入缓冲，或者输出端也可以进行同相放大。为了实现低的输入偏置电流，可以使用CMOS或者JFET的运算放大器。从而在低的光强的情况下，运放不至于成为光电二极管的负载。

在光伏模式下的输出功率，当输出端引入负载时电压会有明显的下降。为了输出最高的功率，所采用的负载值由光强决定。

光敏模式-二极管电压为常量，如图3所示，通常为0V。通常会使用跨阻放大器来将光电流转换为电压。可以通过对光电二极管加反向偏置的方法来降低它的电容，但这会造成暗电流的泄露。当二极管两端没有正向电压的时候，响应与光强之间是成线性关系的。此外，二极管电容两端的电压不会随着光强的改变而改变，因此频率响应大大改善了。由于电容在负反馈的回路中形成了一个极点，因此很有必要降低电容的值。为了实现稳定性的，通常引入一个反馈电容 C_F 。



仅仅通过加载一个大约50欧姆左右的阻值的光电二极管，你就可以从光敏模式中很多益处。如果二极管电压没超过20 mV，就没必要对二极管进行正向偏置，同时响应也是合理的并且快速的。然而灵敏度会很低。

雪崩式光电二极管是特殊的模式，需要对其提供接近于击穿电压的反向偏置电压。这就使得在低光强的情况下，输出电流可以被放大。

选择光电二极管的时候会存在很多权衡，包括光电二极管的尺寸，电容，噪声，暗电流以及封装类型。一般来说，最好是选用较小的同时带有反射器或者透镜可以聚集光源的光电二极管。德州仪器没有生产单独的光电二极管，然而对于很多基本的应用，将光电二极管和跨阻放大器集成在一块芯片上的OPT101会提供一个完整的解决方案。

我知道许多工程师专职设计光电二极管电路，对于高性能的应用，还有很多需要学习的东西。我在这方面并不是一个权威，但我愿把我的所知拿来与大家分享。事实上，对于我的大部分话题，我都不是权威。这也就是我不写书，而仅仅写博客的原因。

感谢阅读。我们很乐意知道你是否为了一个不平常的目的使用了光电二极管？另外，欢迎专家给出一些评论或建议。

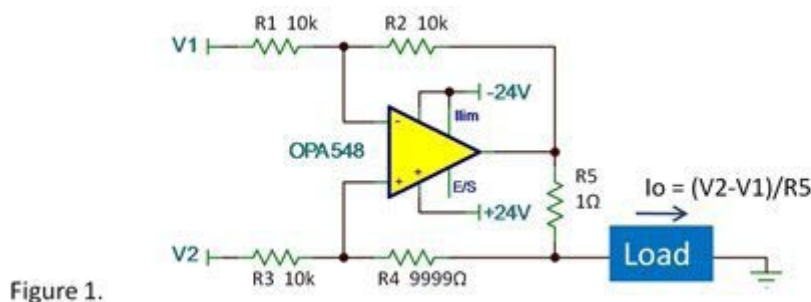
原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/08/06/illuminating-photodiodes.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/02/51422.aspx>

19 用 SPICE 模型仿真失调电压

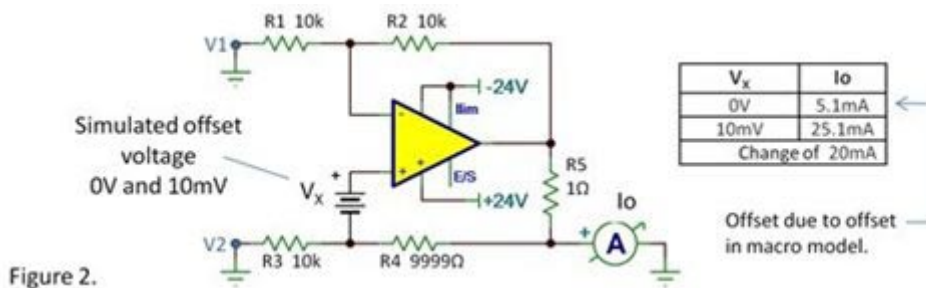
失调电压对电路的影响并不是都很明显。直流失调电压很容易利用OP放大器的SPICE模型来仿真，但是一般只能预测到某个芯片的失调电压的影响。在不同的器件之间，结果又会有怎样的变化呢？

我们利用改进型的Howland电流源（如figure1）给出一个例子。连接到正、反相输入端的反馈也许会让我们对运放失调电压如何给电路带来的误差产生疑问。[OPA548](#)是一款很强的功放，其最大5A的电流输出能力以及60V供电的能力使其经常用于Howland电路。但它最大高达10mV的失调电压会对整个电路的输出电流产生何种影响呢？



在仿真前，有个很好的机会来练习[best practice with SPICE](#)，你们认为有了10mV的输入失调电压后，输出电流将是多少？

运放的失调电压模型是串联一个电压源在其中一个输入引脚上。所以在SPICE里我们仅仅需要等效的串入一个电压源串联在其中一个输入引脚上而引起输入失调电压的改变后观察输出的影响。在理想运放模型下，输入V1和V2为0时，输出电流也为0，但是实际上，输入失调电压将等效一个微小的输入信号。进行Vx=0和Vx=10mV的直流特性仿真，然后记录由于Vx变化而引起的输出电流变化。Vx变化带来的输出电流的变化表明了失调电压对整个电路的影响。当然，失调电压也可能是负值。



仿真Vx=0时，输出的失调来源于[OPA548](#)的模型定义的2.56mV失调电压，这部

分不会作为本次仿真增加的失调电压。我们的模型中大部分有一个失调电压参数且等于这些运放的失调电压典型值。在一些电路中，其他输出失调的来源有输入偏置电流或者输入失调电流，这些因素会对总的失调带来额外的影响。

您预测失调电流是多少呢？改进的Howland电路本质上由电阻R5和一个减法放大器电路（4个电阻和1个运放组成）组成。这个单位增益的减法放大器（四个电阻阻值相同）使得输入差分电压（ $V_2 - V_1$ ）加在了R5上，导致电流流过负载。然而，失调电压加在了正向输入端，正如正向放大器一样被放大了两倍($G = 1 + R_2/R_1$)。因此，由于10mV的失调电压在R5两端产生了20mV的电压，并产生了一个20mA的输出失调电流。若改成-10mV的失调电压则会产生一个-20mA的输出电流（电流从负载倒灌）。

好的，也许你直观的看到了这点，也许没有。无论如何，SPICE模型让我们确定或得到了答案。

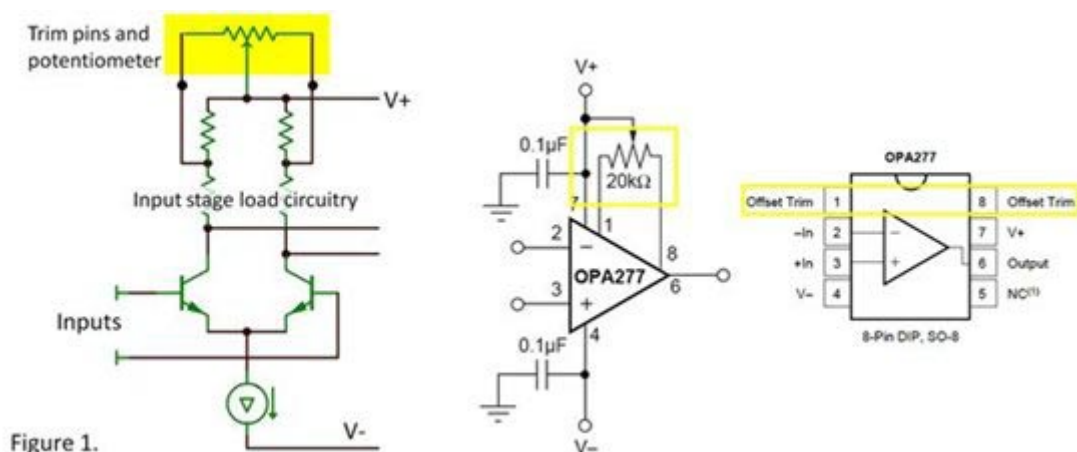
原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/10/15/spiceing-offset-voltage.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/07/spiceing-offset-voltage.aspx>

20 消失的失调电压调整引脚

我的同事Soufiane最近发表了一篇名为“[Pushing the Precision Envelope](#)”的文章。在这篇文章里，他讨论了各种常见的将运放的失调电压调整或适配到一个极小值的技术，这让我想起了运放的失调电压的调整引脚——他们去哪了？

大多数较新的运放没有失调电压调整引脚，而以前这些引脚出现在几乎所有的运放上。造成这种变化的原因很多：性能更好的、更低失调电压运放的出现，自动校准系统的设计、装配和成本的要求、小型贴片封装的使用等，这些原因综合起来使失调电压调整引脚消失。此外，许多畅销的有失调电压调整引脚的运放也正在消失，同时在实际中使用或不使用这些引脚的知识和经验也在消退。



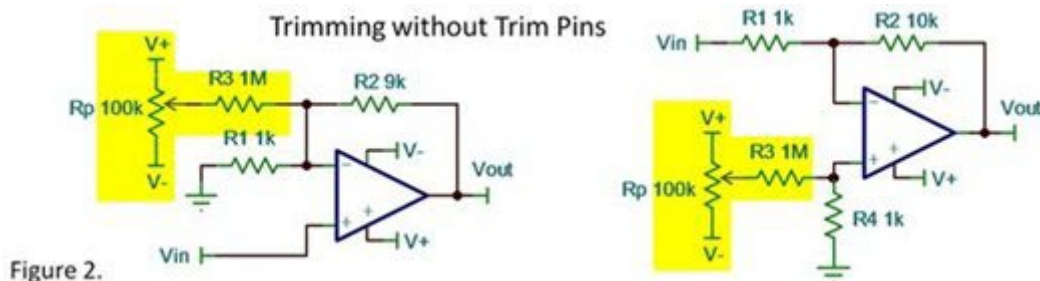
至少有一点是容易的，如果不使用调整引脚，则直接让它们开路，而不要连接到地。

图1是一个常见的内部调整电路。调整引脚从输入级负载分支引出。通过调整电位器来抵消正负数毫伏的输入失调电压。数据手册上通常会推荐电位器的值，但这并不是绝对的。电位器电阻过高将会引起失调电压在两个极端之间波动。电阻过低会减小调整范围。通常电位器电阻阻值在推荐值的1/2到两倍之间是合适的。

注意到这个例子中调整引脚的参考电压为V+，一些运放则是V-。将电位器的滑臂连接到错误的电源轨或者在正负电源供电的系统中连接到地肯定会产生问题。有些设计者设计出复杂的电路来产生参考电位。虽然可以这样做，但这种调整引脚连接到参考地电位电路会带来电源噪声抑制方面的问题。

最好只在信号链的第一级使用调整引脚来抵消失调电压。因为一般第一级会有一些的增益，其失调电压对整个信号链会产生很大的影响。如果用来调整信号链中其他级那些大的失调电压，可能会引入不必要的温漂。

缺少调整引脚时，也有其他方法调整系统的失调电压。来自电位器的不同电压或者其他控制信号将被注入或混入信号链。图2就是其中的一个例子，这里的调整电压来自于电源电压。电源管理器一般可以提供足够的稳定电压。但是像电池这样的非调整电源有时不能提供足够稳定和持久的电压。



优化了失调电压的现代的运放通常不需要调整引脚。不过，有时某些失调电压的调整又是必须的。这时，你可以通过使用调整引脚或者附加电路来实现。

你使用过调整引脚吗？你是怎么使用它们的？欢迎在文章下面留下你的评论。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/08/27/where-are-the-trim-pins.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/08/51423.aspx>

21 SPICE 仿真——Bob Pease 会说 No 吗？

每一个读过我博客的人都知道，我使用SPICE模型仿真电路。你可能听说过Bob Pease，在SPICE领域相当执有己见，他曾经说过：“SPICE模型削弱了你对所发生事物的洞察能力。SPICE模型实际上降低了你对电路如何工作的理解能力”。今天，为了纪念Bob的生日，让我们来考虑一下SPICE模型的优点和缺点。

Bob是一个有趣的人并且经常夸张地表达某一种观点。在SPICE仿真上许多不成熟的行为可能会导致结果事与愿违并且阻碍你模拟知识的增长。我确信他偶尔会看到这一点。

事实上我们的能力不如Bob，我们的经验也较Bob少。我们可能也没有模拟方面的导师来教导我们他曾经做过的东西。我们的设计速度越来越快所以我们需要其它帮助。

我相信，合理明智地使用SPICE模型，能够提高我们对电路的理解并且做出一个更好的模拟设计。它需要一定的技巧。这意味着什么呢？

当你执行一个电路仿真时，需要有明确的期望值。首先需要仔细地思考，从知识，经验和推算来估算结果。如果你的仿真结果和你预期的一样，那很棒。如果仿真结果和预期的不一样，你还需要进一步研究。不要盲目地尝试不同的方式，首先，尽你最大的努力去回答为什么仿真结果和预期的不一样。

也许，这仅是因为一个简单的疏忽而你又能快速改进。但如果不是，它可能标志着你有一些错误的思想或者计算错误，从中你能学到更多的知识并且获得新的理解。或者你的模型是不完美的（Bob提醒我们这些模型从不完美）。又或者你错误地使用了SPICE从而得到了一些离奇的结果。无论什么原因，忽略它，继续做一个“模拟黑客”。

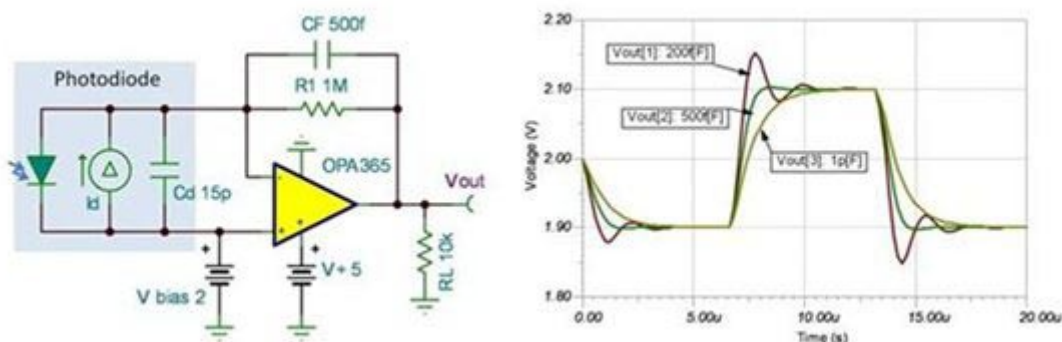


图1是一个用SPICE模型进行的小信号暂态响应仿真，它可以揭示出潜在的不稳定性。这个仿真检验三个不同的 C_F 值对于输入电容的补偿。Bob告诉我们再小的 C_F 电容值都需要被确认并且在实际电路布线时要进行优化。

现在，我不会说我一直都坚持我的建议。有时候，我会怀疑一个原因并且尝试其他的方法。我会不断地循环来解决这种差异。有很多方法来使用或者误使用SPICE，但是，我认为这是一个能够提高你仿真效率的基本手段。

我希望和Bob做一个关于SPICE模型的友好讨论。我打赌，他表面上看来从不使用SPICE，其实还是有“妥协”的可能。事实上，有其它的一些故事侧面地反应出Bob的确对这个问题有误解。Bob其实并不讨厌SPICE模型。

以后，我将提供一些关于如何更好地进行SPICE仿真的技巧和建议。如果你之前没有使用过SPICE，我建议使用TI的免费SPICE仿真软件 [TINA-TI](http://www.ti.com/tina)，它非常的强大并且易于使用。

原文请参阅: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/08/21/spice-it-up-but-does-bob-pease-say-no-august-22-2012.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/09/spice-bob-pease-no.aspx>



22 如何用好电位器？

电位器可以起到位置传感器的作用，同时可以对电路进行适当的调整。电位器最适宜被用作分压器。电位器还可以充当可变电阻，然而这时会存在一些潜在的缺陷。你知道两个功能间的区别吗？

充当分压器的时候，电位器的绝对阻值不会影响到输出电压。输出电压与输入电压间是成比例的。常用的电位器具有较差的电阻精度以及较差的温度系数。然而只要电位器阻值均匀，无论电阻精度或者温度系数如何，在30%的位置将会分得30%的电压。假设滑片与高阻抗电路连接，滑片的接触电阻不会影响到输出电压。滑片接触电阻是滑片与电阻元件的接触点上的电阻。

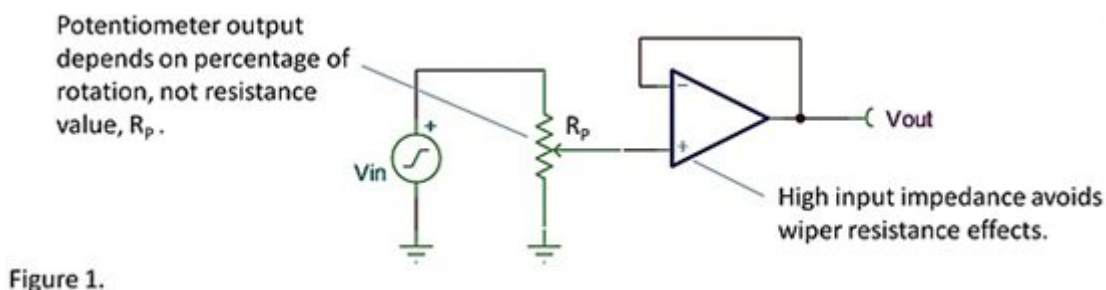


Figure 1.

如图2所示，当电位器充当可变电阻时，它的电阻精度以及温度系数将会影响到电路。滑片接触电阻会影响到电路的电阻，并且滑片接触电阻阻值会随着位置、温度、振动以及时间的变动而变动。

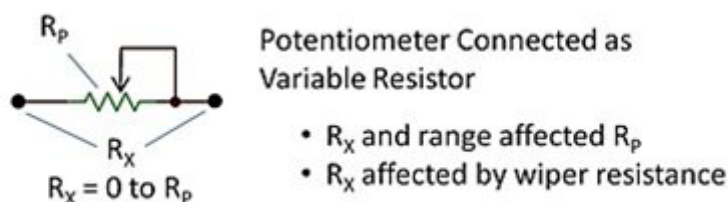


Figure 2.

有时可变电阻必不可少，可以通过工作在比例模式下的电位器来设计可变电阻。图3所示的两个电路有相似的功能。图3a使用P1作为一个可变电阻，在U1的输出电压中产生了一个与电位器位置成线性关系的反相电压。由于P1的阻值变化范围很大，因此通过R3来实现增益调节。此外，输出电压与电位器位置间的线性和可重复性都会受到滑片接触电阻的影响。

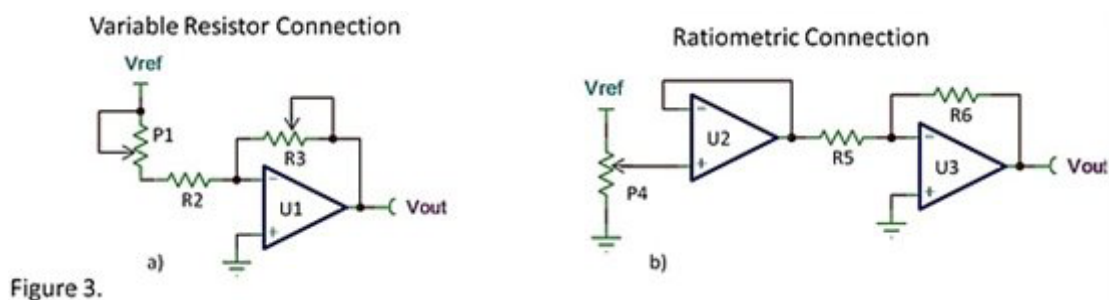


Figure 3.

图3b中引入了运算放大器U2，使得电位器工作在比例模式，从而可以消除图3a中的缺陷。运算放大器U2提供了高的输入阻抗从而减小了接触电阻的影响。随着电位器位置的变动，运算放大器U2的输出电压从0V到Vref之间精确变化。给运算放大器U3提供一个精确的电压范围，从而只需给R5、R6设定一个固定的阻值，而且不需要对电路进行增益调节。

为了使电位器工作在比例模式，你的电路是否需要额外的运算放大器或者是更高的复杂度？这是需要你做的一个比较棘手的决定。有时无法避免将电位器用作变阻器。但是通过了解危险因素和敏感性，你能够选择电位器来满足所需的性能。并且你会知道在测试认证电路时特别注意可能出现的问题。

阅读原文，请访问：http://e2e.ti.com/blogs_/b/thesignal/archive/2012/09/02/when-potentiometers-go-to-pot.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/14/51427.aspx>

23 运放稳定性的 SPICE 仿真

SPICE是一种检查电路潜在稳定性问题的有用工具。本文将介绍一种使用SPICE工具来检查电路潜在稳定性的简单方法。

图1是使用OPA211搭建的一个同相放大器，在许多应用中，只是对图1做了较小的变动。R3和C1构成了输入级滤波器。R4是电路的输出电阻，当运放输出级连接到其它外部电路时，R4起到保护作用。CL用来等效5英尺电缆。

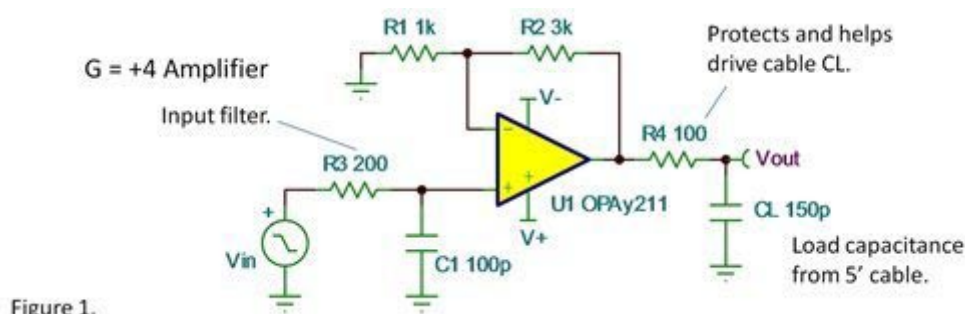


Figure 1.

该电路的小信号阶跃响应或者方波的响应曲线是检查潜在稳定性问题的最快捷和最简单的方法。图2是仿真电路。值得注意的是电路输入端连接到地，输入测试信号源直接连接到运放的同相输入端。输入级的滤波器将延缓输入信号的边沿。如果你想知道一个钟是如何产生铃声的，你应该使用一个铁锤敲击它，而不是一个橡皮棒。

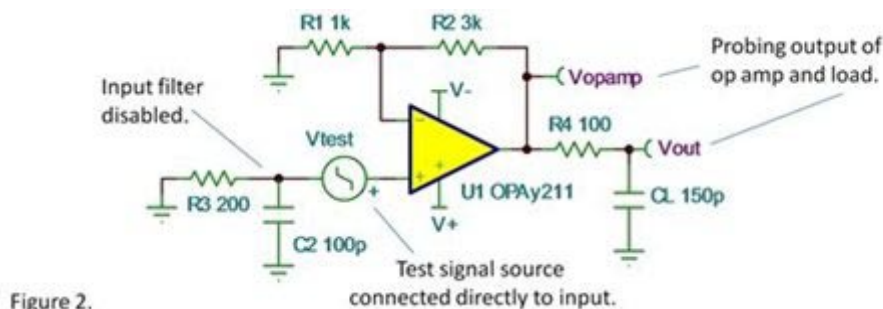
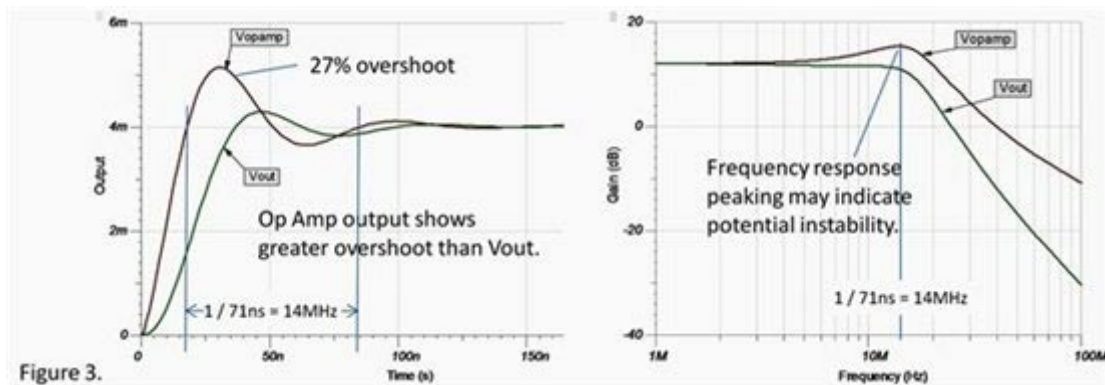


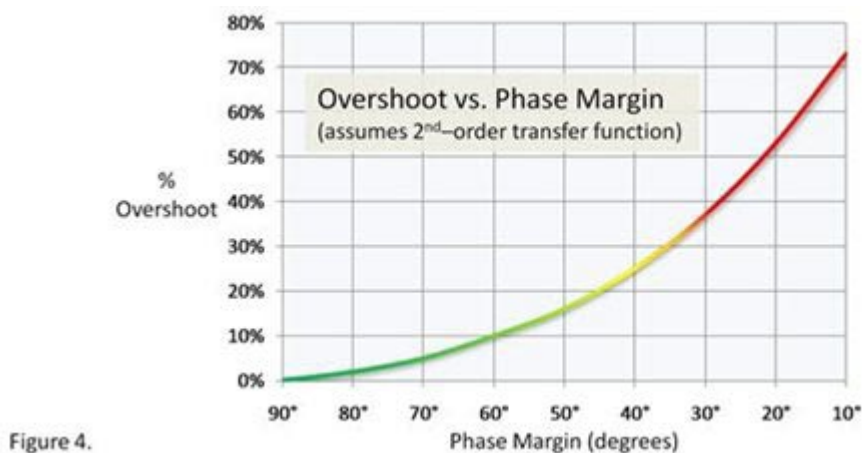
Figure 2.

响应曲线是在运放的输出端探测，而不是电路的Vout节点。R4和CL构成了滤波器以至于Vout节点不能真正地显示出运放的过冲。为了检查稳定性，我们需要知道运放是如何工作的。

注意到输入信号的幅度是1mV（在运放输出端的幅度是4mV）。我们希望得到小信号的响应曲线。若输入信号是大信号，则会涉及到压摆率的问题，将减小过冲，不能真正地反应潜在的不稳定性。



从仿真结果可以看出，在运放的输出端有接近27%的过冲，较大的过冲会导致运放在任何条件下都是不稳定的。假设这是一个二阶稳定系统，它意味着接近38度的相移裕量。另外，注意到频率响应曲线中存在相当大的尖峰，这是另一个潜在的不稳定的迹象。幅度峰值在14MHz时出现，其正好是时域上振铃周期的倒数。普遍认为，当信号的过冲小于或等于20%时，相移裕量大于或等于45度，运放就可以视为稳定的。



有更多深层次的分析可以通过SPICE仿真得到，例如：通过开环波特图找到相位裕量和增益。但是对于大多数简单的电路，上文提到的是指示潜在不稳定问题的非常好的方法。当然，任何SPICE仿真都取决于运放macro模型的准确性。现有的最优秀的SPICE模型都不可能是完美的。此外，电路的差异性，非理想的元部件，电路板布线带来的寄生参数，低质量的电源退耦，都能够影响电路的稳定性。这就是为什么你应该进行电路的仿真并且做实际的测试，比较两者之间的差异并进行优化。SPICE是一个很有价值且很有用的工具，但是不能完全依靠SPICE来检测电路的潜在稳定性，因为SPICE不能考虑到运放实际应用时的一些参数。

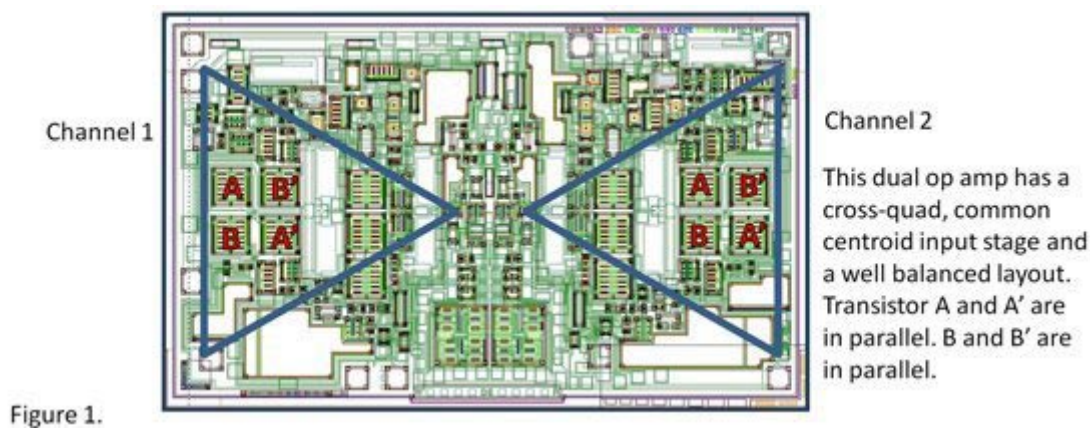
阅读原文, 请访问: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/09/10/spiceing-op-amp-stability.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/15/1-spice.aspx>

24 匹配，匹配！双通道运放有多相似？

有些电路受益于两个或两个以上运放特性的紧密匹配，所以，在一个双通道运放或四通道运放的封装下，他们特性究竟有多匹配？

在我们[precision amplifier E2E forum](#)里最常见的需求就是匹配的失调电压和失调电压温漂。例如，如果您在搭建一个仪表放大器，匹配的运放失调电压能产生一个接近0的失调。但是实际情况呢？我们先看Figure1的芯片内部结构。



每个运放都有十分匹配的输入晶体管对，以此实现放大器的低失调电压。我们尽可能匹配好这对晶体管（其他成对的原件也是一样）。图中所示的四部分交叉连接是最基本的技术——每个晶体管被分成两部分，A和A'，B和B'，并使得两个晶体管的几何中心是同一点。现在我们使用更精细的方法来混合布局晶体管。术语中称这些方法为共质心（Common centroid）。

所以，这就是关键。我们精心的匹配在IC一侧的两个同中心的输入级晶体管，残留下的就是随机不匹配。是否IC另一侧的两个晶体管会有同样的随机失配呢？答案是否定的。或许有其他的因素导致失调特性的匹配，但我们努力排除所有的系统失调来源，所以余下的失配都很可能是随机的。抱歉，但是失调电压确实不太可能十分匹配。下图显示了我们如何在datasheet里说明这些参数的：

Offset Voltage specifications for OPA2171...

Input Offset Voltage	Min	Typ	Max	Units
Input Offset Voltage		± 0.25	± 1.8	mV
Temperature Drift		± 0.3	± 2	$\mu\text{V}/^\circ\text{C}$

\pm Indicates offset voltage could be either polarity in each op amp.

Figure 2.

所以，即使在双通道运放或四通道运放的封装下，取决于内部元件匹配的这些参数也不可能比单运放芯片之间匹配得更好。例如：

- 失调电压 — 取决于晶体管对的匹配
- 失调电压温漂 — 取决于晶体管对的匹配
- 双极结型晶体管放大器的输入失调电流 — 取决于晶体管 β 值的匹配

一些取决于内部元件基本特性的参数，双通道运放或四通道运放比单通道单运放更匹配，例如：

- 增益带宽积——取决于绝对电容值和电流
- 压摆率——取决于绝对电容值和电流
- 无输入偏置电流消除的双极节型晶体管运放的输入偏置电流

老前辈可能还记得早期双通道运放就规定值的百分比来看，也倾向于更加匹配。但这些老片子的性能充其量都有限。他们是非常简单的设计，缺少了现已普遍关注的内部元件的匹配，对称的设计和IC的布局。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/10/30/matchy-matchy-how-alike-are-dual-op-amps.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/16/51430.aspx>



25 输入引脚的过电应力 (EOS) 保护

芯片设计者在将一个运放的敏感引脚引出芯片的时候，通常会想到用户是否会认真处理这个引脚？或只是粗心的把这个引脚直接和交流电连接起来？我们都希望设计出好产品，可以应对用户的极端使用。那么，如何在设计中防止过电应力造成的产品失效呢？

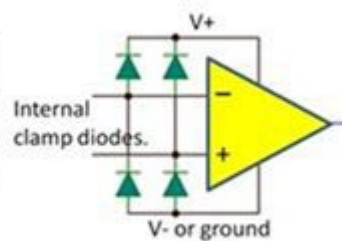
[OPA320](#)是大多数典型运放的一种，其最大额定参数表如图1所示，它描述了芯片最大允许供电电压、引脚最大允许输入电压和电流。根据参数表的附加说明，如果限制引脚输入电流，那么就不需要限制输入电压。内部钳位二极管允许 $\pm 10\text{mA}$ 的输入电流。但是在输入电压超出正常值很多的情况下，限制输入电流需要较大的输入阻抗，这会增加噪声，降低带宽，同时还可能产生其它错误。

ABSOLUTE MAXIMUM RATINGS OPA320

Supply Voltage, V_- to V_+		6V
Signal Input Pins	Voltage	$(V_-) - 0.5$ to $(V_+) + 0.5\text{V}$
	Current	$\pm 10\text{mA}$

Input terminals are diode-clamped to the power supply rails. Input signals that can swing more than 0.5V beyond the rails should be limited to 10mA or less.

Figure 1.

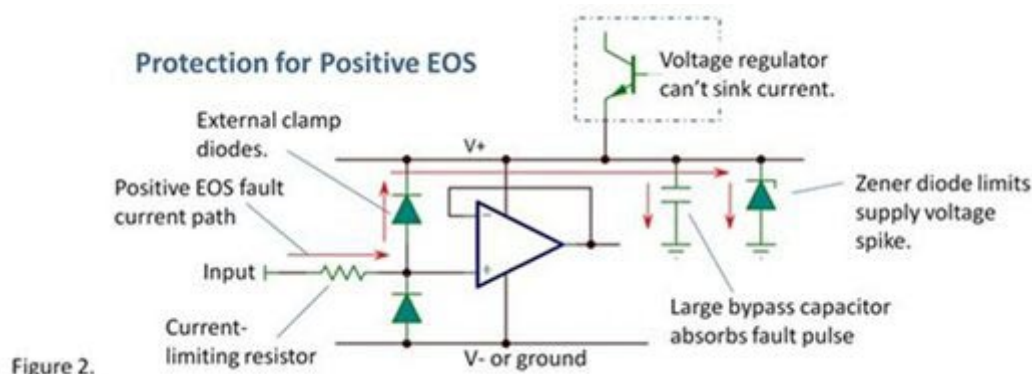


钳位二极管在输入电压超过电源轨大约0.6V时开始导通。通常，许多设备可以承受较大电流，但是当电压急剧增加时，设备失效的概率就会增加。

通过添加外部二极管可以大大提高设备耐受大电流的能力，同时也可以提高设备的防护等级。市场上常见的传输信号二极管，比如无处不在的1N4148，具有非常低的导通压降（实验室测试显示，其至少比运放内部二极管低100mV）。在与运放内部二极管并联后，当遇到输入过流时，大多数电流将流向外部的二极管。

肖特基二极管具有更低的导通电压，这种特性可以提升保护性能。但缺点也很明显，它的漏电流太大了。室温下，它的反向漏电流通常是微安级或者更大，同时，随着温度的升高而增加。

另外，你还需要一个足够强大的电源。钳位二极管，无论是运放内部或者外部的，都需要一个相对稳定的电源来释放能量。如果故障脉冲很大，灌入电源轨过多的电流，提高（或拉低负电源）电源电压，那么脉冲会使电源端承受过大的电压应力，如图2所示。典型的线性电源不能吸收电流，因此不要指望使用它做为电源有多稳定。大的旁路电容可以用来吸收大的故障脉冲电流。对于连续的故障电流，可以在输入引脚和电源上加用齐纳二极管来解决。齐纳二极管的反向击穿电压要刚好高于系统最大供电电压，这样仅仅在故障时，齐纳二极管才会被导通。对于正负供电系统，需要在两个电源轨分别设计相同的保护电路。



尽管采取了这些措施，引脚输入电压仍可能超过最大额定参数表中的值，但问题关键在于：最大额定参数表中的值通常过于保守；在这个电压或者电流下芯片损坏几乎是不可能的。一般来说，大幅超过这些参数，器件也不太可能损坏（但不保证）。钳位到比最大额定参数表中的值高几伏的电压，同时获得较低的失效率是很容易的。在许多情况下，设计的目标是在成本和性能折中的情况下降低失效率。

没有哪一种方案可以应对所有的情况，也没有一种保护电路可以同时满足所有需求。在不同应用中，保护电路方案差别很大。不同运放的灵敏度不同，所需保护等级也存在很大差异。这可能会需要你有一定创造力，最好自己做自己的专家。虽然在极端的环境中做一些测试会损失一些运放，但这是必要的。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/09/17/protecting-inputs-from-damage-eos.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/17/eos.aspx>

25 CMOS 放大器和 JFET 放大器的输入偏置电流

CMOS晶体管的栅极 (CMOS运算放大器的输入端)有极低的输入电流。必须设计附加的电路来对脆弱的栅极进行ESD和EOS保护。这些附加的电路是输入偏置电流的主要来源。这些保护电路一般都通过在电源轨之间接入钳位二极管来实现。图1a中的OPA320就是一个例子。这些二极管会存在大约几皮安的漏电流。当输入电压大约达到电源轨中间值的时候，漏电流匹配的相当好，仅仅会存在小于1皮安的残余误差电流而成为放大器输入偏置电流。

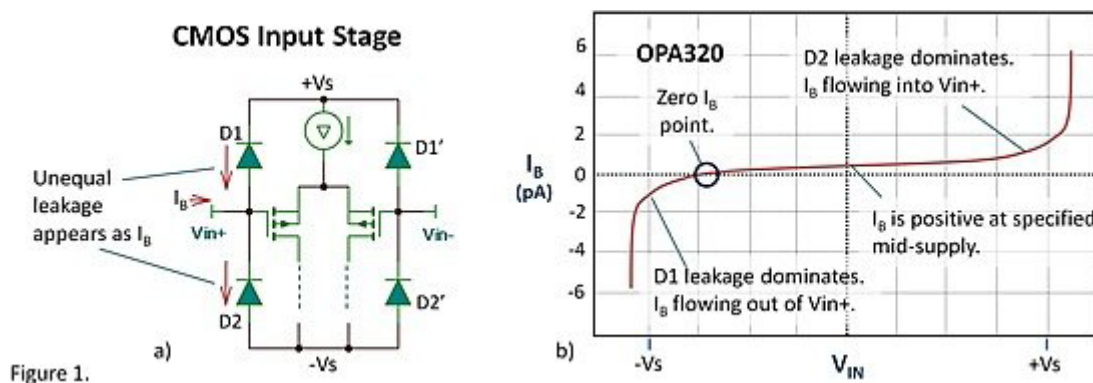


Figure 1.

当输入电压接近电源电压时，两个二极管泄漏电流间的关系会发生变化。输入电压靠近轨底的时候，举例来讲，当D2的反相电压接近零时，其泄漏电流值会减小。D1的泄漏会使得输入终端输出更高的偏置电流。显而易见，当输入电压为正电源轨的时候，相反的情况会发生。输入偏置电流值指的是在泄漏近乎匹配并且泄漏值极低的轨中间点测试所得到的值。

输入电流和输入电压间的变化曲线如图1b所示。对于任何给定的单元，都存在一个使输入电流为零的输入电压(假设没有显著的封装或者电路版图的泄漏)。事实上，使用轨到轨运算放大器时，通常可以在输入端使用自偏置(图2)，同时输出将漂移到对应零输入偏置电流点的电压。这是一个有趣的实验，然而却不是很实用。

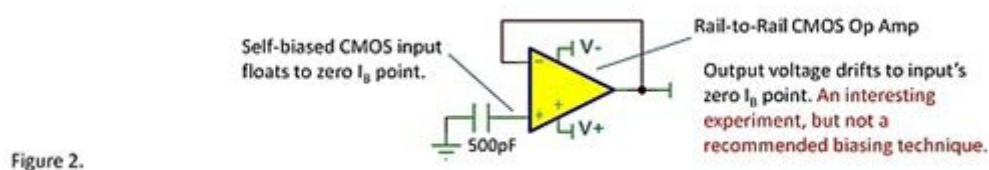
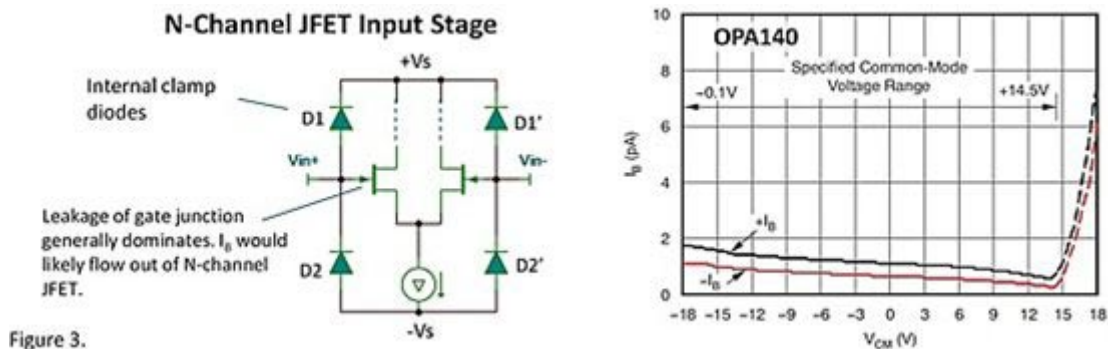


Figure 2.

JFET输入的放大器有所不同，比如说OPA140。对OPA140来讲，输入晶体管的栅极是一个二极管结，同时二极管结的泄漏电流常常是输入偏置电流的主要来源。输入二极管结通常会更大，因此会比保护二极管更容易泄漏。因此输入偏置电流往往是不定向的。它会跟随放大器变化。



由此可以得出结论。一定注意，如果极低偏置电流对电路非常重要，仔细查看性能图表来收集所有可以得到的信息。如果在接近正电源轨或者负电源轨的情况下操作，你将会得到较高的输入偏置电流。这将会引出另外一个重要的点-输入偏置电流会随着温度的增加而显著增加。在后边的博客中会给出更多关于温度效应的讨论。

本文适用于大多数通用的CMOS和JFET的放大器，然而还存在一些为极低输入偏置电流而设计的专用放大器。他们使用创新的保护电路独特的插脚引线来使 I_B 在3fA的范围之内，比通用放大器低三个数量级。比如说：

[LMP7721-3fA](#)输入偏置电流的CMOS运算放大器

[INA116](#)-极低输入电流的仪表放大器 更多详情：

阅读原文, 请访问: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/11/08/input-bias-current-of-cmos-and-jfet-amplifiers.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/22/cmos-jfet.aspx>

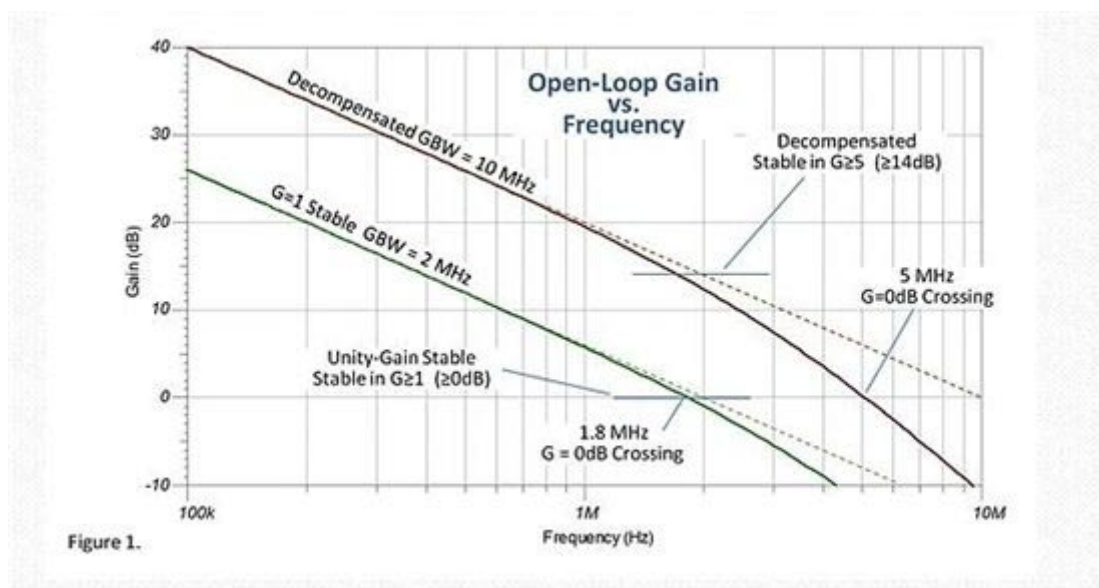
27 运算放大器：单位增益稳定放大器和非完全补偿放大器

大家公认的事实是单位增益稳定放大器比非完全补偿放大器更流行，且取得了压倒性的优势。这说明什么呢？

单位增益稳定放大器（一般称为UGS）通常在增益配置为1时是稳定的，它将输出信号完全反馈到运放的反向输入端。但是，将运放增益设置为1的时候当做稳定性最差的情况是不正确的，我们把这种情况看做是常见的恶劣条件才比较合理。

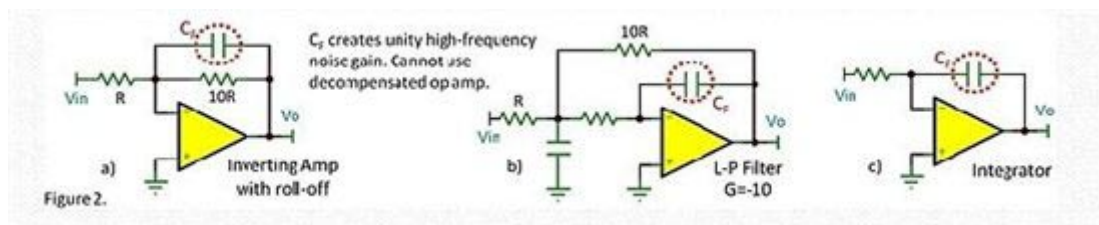
非完全补偿放大器有更小的补偿电容，所以获得了更大的增益带宽和更高的压摆率。尽管更高的速度通常需要更多功耗，在相同的电流下工作时，非完全补偿放大器能够达到更高的速度，但这必须是在噪声增益远大于1，而不是单位增益的情况下。我的同事Soufiane最近写了一些关于非完全补偿放大器的文章([点击这里, 查看原文](#))，但是我还有其他一些观点。

图1画出了理想的UGS和非完全补偿放大器的增益和频率响应曲线的关键部分。非完全补偿放大器的增益带宽积是10MHz，UGS的增益带宽积2MHz，非完全补偿放大器的增益带宽积是UGS的5倍，压摆率也比UGS高。通常情况下，UGS的单位增益带宽略小于它的增益带宽积。非完全补偿放大器的单位增益带宽是它的增益带宽积的一半。我们不能使这些运放的噪声增益接近单位增益带宽，因为在3MHz的第二个极点会极大地影响这个区域的增益或者相位，相位裕量将会相当小或者为零。



非完全补偿放大器好像有一些神秘，使得一些用户不知道他们的电路是否稳定。

图2a显示了一个普遍的错误。尽管这个运放的增益为-10，但是反馈回路上的一个电容使得高频部分的频率响应曲线变得不平坦。在稳定性涉及到单位增益的高频部分，这个电容可以视为短路。使用一个较小的电容来补偿反馈网络以获得平坦的响应曲线是可取的，但是一个大电容会造成曲线不平坦，这肯定会带来问题。



同样地，图2b中的并联反馈滤波器带来了一些问题，牺牲了滤波器的部分低频增益。图2c中的积分器也是另一种不恰当的非完全补偿放大器的应用。

我们已经提升了运放的设计能力。现在我们变得更聪明且拥有更好的IC设计流程。我们现在可制造功耗只有几百微安的运放，而在过去需要几十毫安。所以，现代的UGS在速度和功耗上能够更加接近，甚至优于过去的非完全补偿放大器。尽管如此，非完全补偿型放大器在一些要求更高的应用场合可能会是一个更好的方案。

我并不是完全鼓励选择非完全补偿放大器而不是UGS。这两种运放都有他们各自的优劣，你应该根据你的实际设计来做选择。无论你选择哪种运放，你应该清楚地理解它们之间的差异和存在的问题。

下面是一些非完全补偿放大器和UGS的对比：

[OPA228](#) (OPA227UGS版本) 精密，低噪声BJT运放

[OPA637](#) (OPA627UGS版本) 精密，高速JFET运放

[OPA345](#) (OPA344UGS版本) 轨对轨CMOS运放

[LMP7717](#) (LMP7715UGS版本) 88MHz CMOS运放

阅读原文, 请参见http://e2e.ti.com/blogs_/b/thesignal/archive/2013/04/07/op-amps-g-1-stable-amp-decompensated.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/23/51435.aspx>

28 如何处理未使用的运放

我们在这里所谈论的“未使用的运放”不是指在芯片储藏箱或防静电袋中的运放；而是指在同一个封装里面的多个运放中未被使用的部分。

最近论坛中的一个提问促使我来研究这个问题，在处理这个问题时，我无意中看到一篇由我同事Todd Toporski发表的好文章（[点击此处，查看原文](#)）。他非常出色地概括了关于这个问题的几个重要方面及其原因。这里，我总结一下并加入了一些自己的想法。

最好将未使用的运放连接为一个带反馈回路的放大电路。显而易见，单位增益缓冲电路是个很好的选择，因为它不需要额外的器件。然后，将输入引脚连接到线性输入输出范围以内的电压上。任何引起潜在的输入、输出过载的连接或开路，以及将运放放置在一个噪声不确定的环境都是不合适的。

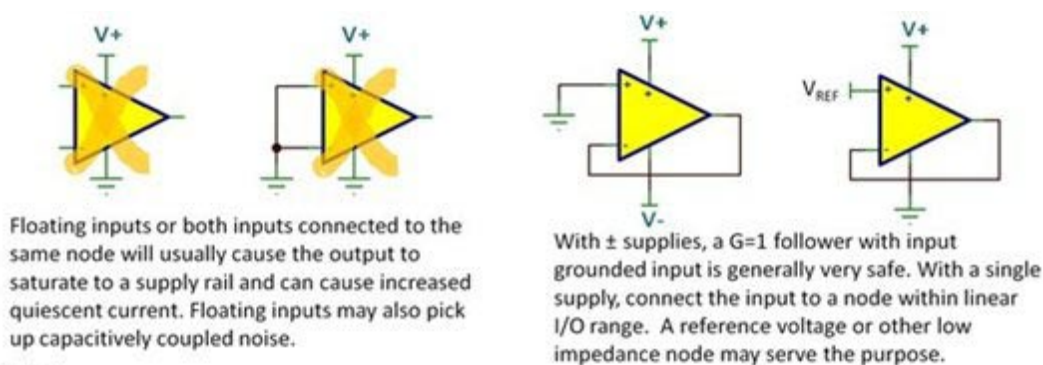


Figure 1.

一个电路板设计方面的建议是：将未使用的运放放在适合修改的地方。在重新设计或者产品升级的时候你也许会用到它。提前做一些考虑，并将这些空余的运放在顶层和底层连接，这样，轻微的改动就可以测试新的设计。你甚至可以为反馈元件布局，将走线连接到特定节点，这样可以很容易地切断。

另一种可以完全避免以上问题的方法是选择一颗版本合适的运放（单运放，双运放和四运放），[OPA322](#)就是一个例子。这样可以设计出充分使用运放的理想布局，同时也确保了被使用的运放有相同的规格和特性。

对于没有采用合适的方法来处理未使用运放的设计者来说，值得安慰的是：这些未使用的运放不太会干扰同一个封装中正在工作的运放。虽然你也许会关心未使用运放消耗的额外电流，但你的系统不太可能因此而烧毁。大多数现代运放有独立的偏置电流，在同一个封装中一个沟道过载也不会影响到其它沟道。如果你的电路工作正常的话，那你大可以放轻松并在下次设计时遵循这些建议。

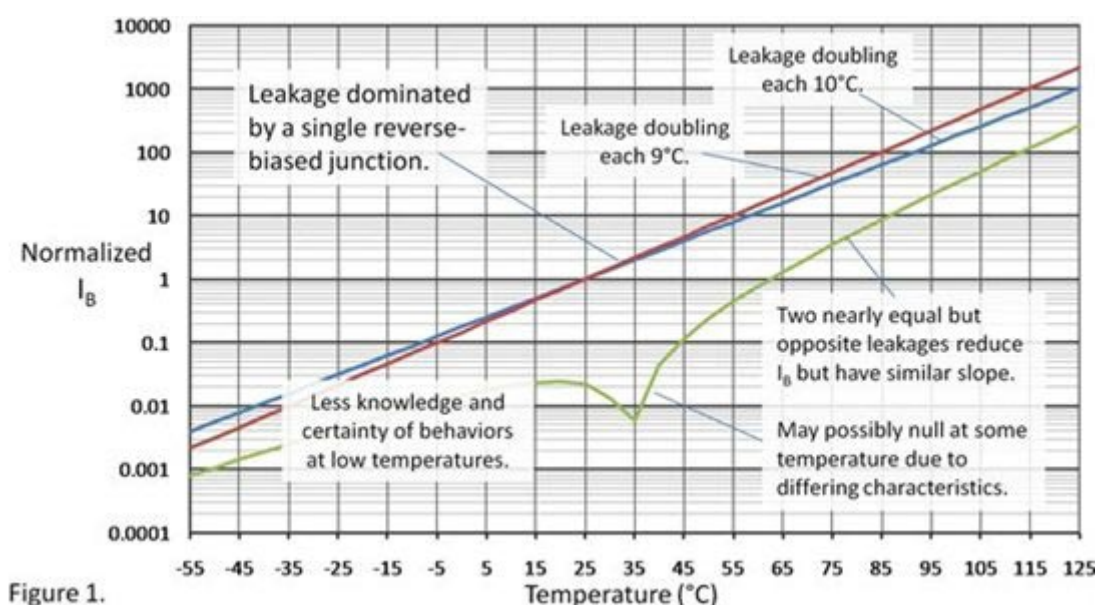
阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/11/27/the-unused-op-amp-what-to-do.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/24/51436.aspx>

29 温度对输入偏置电流的影响

之前我们看了CMOS和JFET放大器输入偏置电流的来源，发现其主要由一个或几个反向偏置的PN节的漏电流组成。如果没看过该文章，[请点击这里查看](#)。文章结尾引出了一个警示，这些漏电流随着温度升高而显著的增大。

PN节的反向偏置漏电流有很强的正温度系数，每升高10°C,漏电流大约增大一倍。在figure1归一化曲线中可以看出，这种指数增长使得漏电流快速增加。到125°C时，漏电流相对室温下增长了约1000倍。



不同的二极管特性使得漏电流增加的速率不一样，两倍的漏电流可能在8°C到11°C左右的范围内发生。这种高温下的漏电流增长在一些电路中将会是重要问题，也可能是一个选择在室温下有着非常低输入偏置电流的FET或CMOS运放很好的理由。某些情况下，为了实现高温下的低 I_B ，会使用在高温下 I_B 没那么夸张增长的BJT运放。

一般我们会假设在低温时，漏电流也继续降低，但是其他的泄漏源也许会改变这种趋势。这些杂散泄露可能会有不同的温度特性。坦率说，低于室温的情况我们知道的较少，因为我们更关注在室温及室温以上的较高的泄露。我们最好不要在远低于室温的情况下对其特性太自信。在低温下更能成为重要问题的是水可能会凝结，这可以使得泄露向上猛增。

之前讨论过CMOS运放的输入偏流主要来自于输入级上分别连接在电源轨上的两个钳位二极管的反向泄露电流的差异。即使一个完全平衡的世界，两个有着几乎相同泄露特性的二极管之间的漏电流残余差值仍然有着相同的指数温度变化，只是初始值较低。 I_B 的极性是不确定的，并由于二极管特性的微小不同，净余的电流可能会在某

个温度下降到零（对数坐标图上无法显示其绝对数值）。

所以，什么结论？如果在您的FET运放电路中极低的输入偏置电流很关键，则认真考虑它随温度上升而增加的特性。学习全部的参数和典型性能图表。避免敏感电路接近热源。如果必要的话，制作您自己的测量。对于真正关键的应用，有特殊用途的超低输入偏置电流的放大器。他们用富有创造性的保护电路和独特的引脚排布，实现室温下3fA范围内的 I_b ，低于通用器件3个数量级。例如：

- [LMP7721](#)——3fA输入偏置电流CMOS运算放大器
- [INA116](#)——超低输入偏置电流仪表放大器

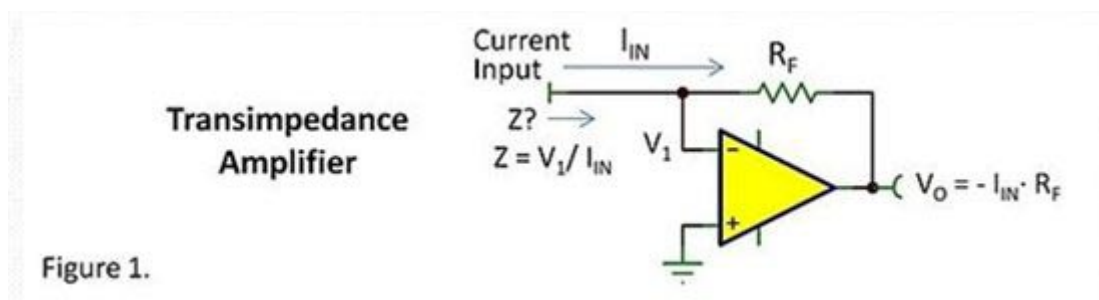
阅读原文, 请访问http://e2e.ti.com/blogs_/b/thesignal/archive/2012/11/14/temperature-effects-on-input-bias-current-plus-a-random-quiz.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/27/51437.aspx>

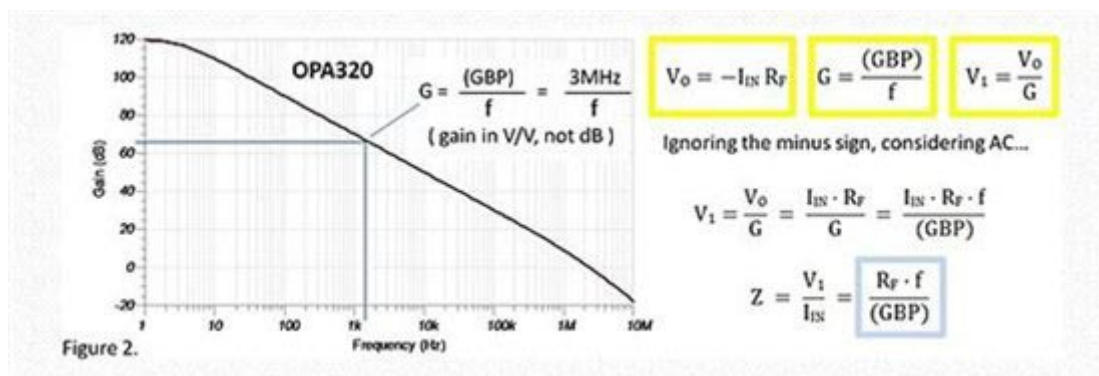
30 跨阻放大器的输入阻抗：无穷大还是为零？ 究竟是多少？

跨阻放大器（TIA）的输入阻抗是多少呢？无穷大还是零呢？都不是，究竟是多少？没有事物是绝对为零或绝对无穷大的，对吗？即使你没有用过TIA，TIA输入阻抗的值会让你惊讶，值得你去理解。毕竟，一个反向放大器就是一个有输入电阻的TIA，对吗？

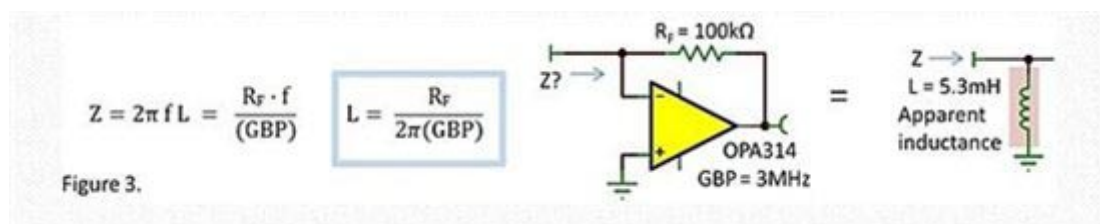
TIA将一个电流信号转换成电压，并且经常用于测量弱电流，如图1所示。对于理想运放，有无穷大的开环增益和带宽，输入阻抗为零。运放的反馈回路使得 V_1 保持虚地，得到一个零输入电阻。类似一个电流表，一个理想的电流测量电路的输入阻抗应该为零。



我们仍然假设运放工作在理想条件下，但实际上运放的增益带宽积是有限的，我们应该思考其输入阻抗 Z 是多少？一些推论和8阶的代数式揭示出一个有趣的结果。图2是OPA314的开环增益随频率变化的曲线。对于今天的大多数运放，在一个较宽的频率范围内-----超过通用器件的50倍，开环增益以一个恒定的斜率 $-20\text{dB}/10\text{倍频}$ 下降。它的增益带宽积是 3MHz ，所以在这个范围以内的任何频率下，其增益接近 $3\text{MHz}/f$ 。



在黄色方框内标出的因子揭示了结果。 Z 和 R_f ， f 成正比，和增益带宽积成反比。但是， Z 和 f 成正比意味着什么呢？它感觉更像一个基本的电路元件-----电感。一个电感的阻抗是，所以我们可以将TIA的输入端等效为一个电感。



这非常巧，是吗？也许你之前已经知道了这一点。在一个较宽的频率范围内，输入端可以视为一个电感负载。在大多数应用中，我们希望这个电感越小越好。RF通常是根据跨阻增益而定，所以更高的增益带宽积是减小这个电感的唯一方法。将这种方法应用于实际，你可能会从光电二极管或者电流转换电路中获得更多的洞察力。

没有更多新的东西在这里。各种使用运放合成的电感电路已经存在了很长一段时间，但是你可能没有将它和TIA或者反向放大器联系起来。建立这种联系会带来更深层次的思考和创造力。

更重要的是对运放输入电压的观察。假设在无穷大的开环增益条件下，我们经常希望运放的差模输入电压为0。但是，在一个较宽的频率范围内，一定不是这样的。增益带宽积、频率和输出电压之间的简单关系提供了一种简单的理解输入电压如何随着频率变化的方法。

当然，有许多限制条件：这是一个小信号分析。如果你使用足够大的信号幅度和频率驱动运放，运放将变得迟缓，且V1的电压降会增加，而且这种模型是假设运放的开环响应以简单的-20dB/10倍频斜率下降。许多运放可能在开环响应曲线上存在不平坦，这会给增益等于GBP/f模型带来影响。

一个额外的练习：我们能否改善电感模型，加入有限的DC开环增益影响？

阅读原文，请参见：http://e2e.ti.com/blogs_/b/thesignal/archive/2012/10/08/tia-input-z-infinite-or-zero-what-is-it-really.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/29/51439.aspx>

31 运放噪声——同相放大电路

以之前对电阻噪声的讨论为基础，这次让我们一起学习放大器噪声的一些基本知识。对于低噪声应用来讲，同相放大电路是最常见的，因此我们将主要探讨同相运算放大器。如图1所示，将输入源等效为一个电压源与一个电阻串联，我们知道源电阻 R_S 的噪声与其电阻平方根值是成正比例关系的(如图2中的直线所示)。低噪声放大器的设计目标是在电阻引入噪声的基础上，尽可能少地引入运放附加的噪声。

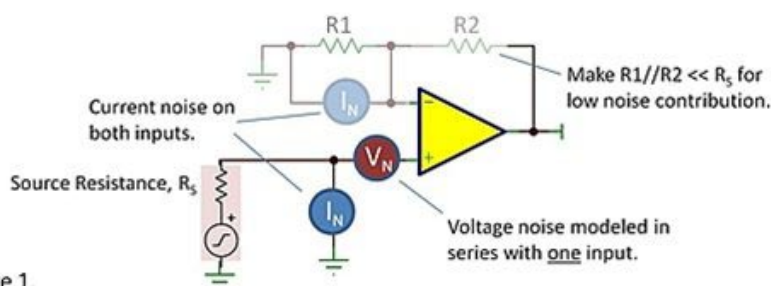


Figure 1.

如图1所示，放大器噪声的等效模型为在一个输入端串联一个电压噪声，同时在两端分别连接一个电流噪声源。把电压噪声看作失调电压的时变元件。同样，电流噪声是输入偏置电流的时变元件，在每个输入端各有一个。由于我们总能将反相输入端的电流噪声值降到最低，因此我们将忽略它。

图2给出了BJT做为输入级的OPA209和JFET做为输入级的OPA140这两个运算放大器电路的总输入参考噪声的曲线。在25°C的时候，两条曲线均与源电阻的噪声成比例关系。对每个运算放大器而言，都通过平方和的均方根的方式来对三种噪声源进行了一个求和。你也许会在某些运算放大器的数据手册上看到这样的图形。

当源电阻阻值减小时，它的约翰逊噪声随之减小(由阻值平方根值的倒数决定)，在一定程度上，放大器的噪声电压将起到主导作用。总的噪声将等于放大器的电压噪声。当源电阻阻值增加时，流过源电阻的电流噪声将线性增加，而且会增加很快且最终会超过源电阻的噪声。因此当源电阻阻值很高时，电流噪声将会起主导作用。

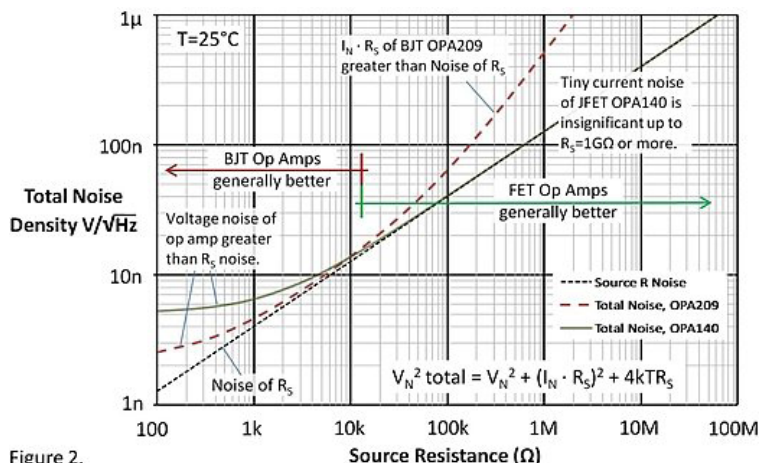


Figure 2.

当源电阻值为2kΩ或者更低时，低噪声放大器的设计会遇到最大的挑战。较低的源电阻噪声就要求放大器有很低的噪声电压。双极性(BJT输入)放大器通常在这方面比较擅长。还需注意的是，如图2所示，在一个最佳位置，[OPA209](#)的总噪声与源电阻噪声几乎相等。源阻最佳噪声性能发生在 $R_S = V_N / I_N$ 。

当源电阻阻值大约为20kΩ时，FET输入的放大器几乎不会引入任何的额外噪声。只有当源电阻阻值达到几个GΩ的时候，FET运算放大器的电流噪声才会产生影响。可以遵循以下准则：当源电阻阻值小于10kΩ时，低噪声的BJT放大器会产生较低的噪声。当源电阻阻值大于10kΩ时，FET或者CMOS的运算放大器才会可能会有优势。

反馈网络中的R1和R2也会产生一定的噪声，但通常情况下是可以忽略的。当R1和R2的并联值小于或者等于 R_S 值的十分之一时，它们将仅仅使总噪声的值产生小于10%(<1dB)的增量。无论这些电阻的比值是多少，这都会是个事实。在图2中，反馈网络中元件的噪声被设定为零。

当然，还有很多需要了解的，如想了解更多，我推荐我的同事Art Kay写的一本书“[Operational Amplifier Noise: Techniques and Tips for Analyzing and Reducing Noise](#)”。

思考点：[OPA140](#)在10kΩ 之上有一个非常宽的电阻范围，在这个范围之内，噪声性能很好。是否存在一种方法可以使得较低的源电阻值可以达到同样的效果？

阅读原文,请参见 <http://www.edn.com/electronics-blogs/the-signal/4404375/Op-Amp-Noise-the-non-inverting-amplifier>

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/30/51440.aspx>

32 电阻噪声的基础知识和一个有趣的小测试

放大电路的噪声性能受到输入电阻和反馈电阻Johnson噪声（热噪声）的影响。大多数人似乎都知道电阻会带来噪声，但对于电阻产生噪声的细节却是一头雾水。在讨论运放的噪声前，我们先做个小小的复习：

电阻的戴维宁噪声模型由噪声电压源和纯电阻构成，如图1所示。

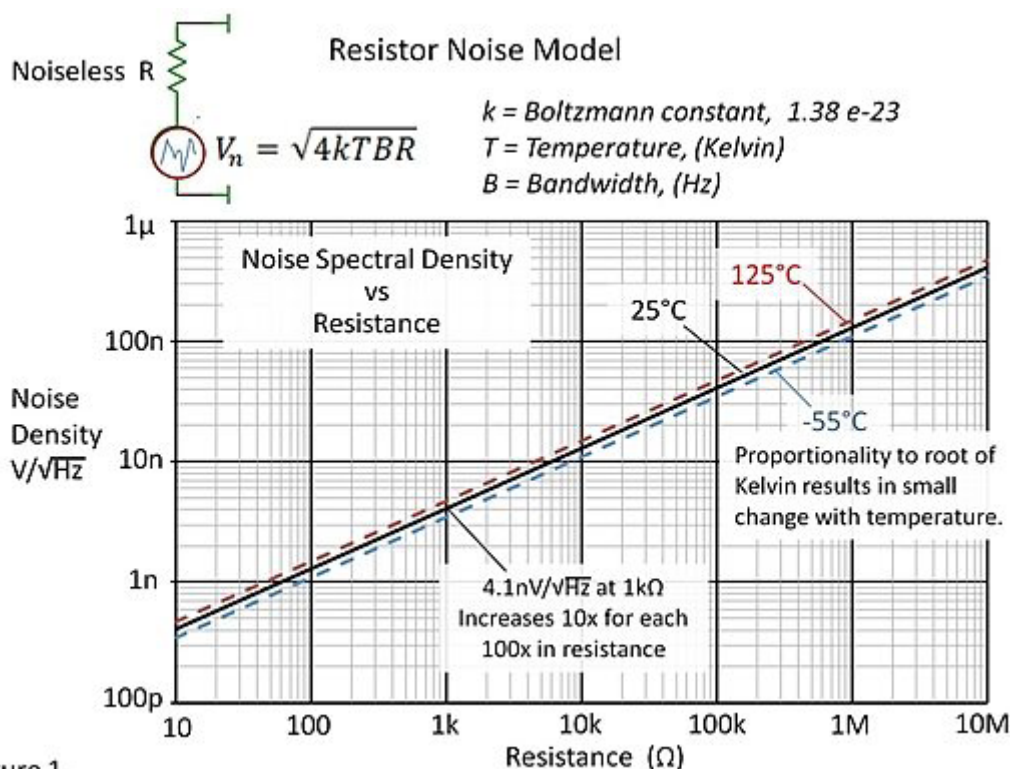
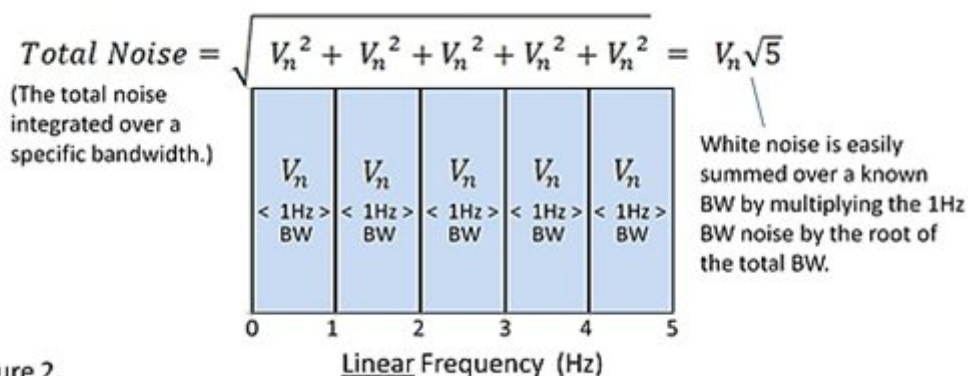


Figure 1.

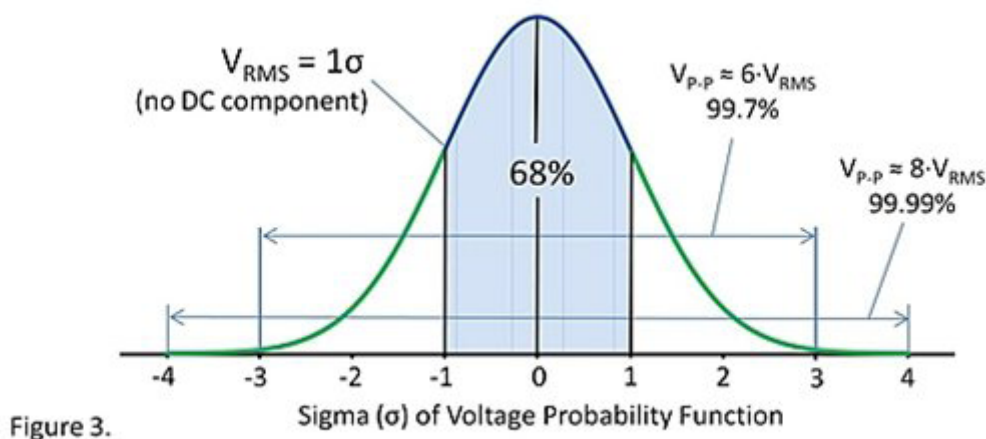
噪声电压大小与电阻阻值，带宽和温度（开尔文）的平方根成比例关系。我们通常会量化其每1Hz带宽内的噪声，也就是其频谱密度。电阻噪声在理论上是一种“白噪声”，即噪声大小在带宽内是均等的，在每个相同带宽内的噪声都是相同的。

总噪声等于每个噪声的平方和再开平方。我们常常提到的频谱密度的单位是 V/。对于1Hz带宽，这个数值就等于噪声大小。对于白噪声，频谱密度与带宽开方后的数值相乘，可以计算出带宽内总白噪声的大小。为了测量和量化总噪声，需要限制带宽。如果不知道截止频率，就不知道应该积分到多宽的频带。



我们都知道频谱图是以频率的对数为x轴的伯德图。在伯德图上，同样宽度右侧的带宽比左侧要大得多。从总噪声来看，伯德图的右侧或许比左侧更重要。

电阻噪声服从高斯分布，高斯分布是描述振幅分布的概率密度函数。服从高斯分布是因为电阻噪声是由大量的小的随机事件产生的。中央极限定理解释了它是如何形成高斯分布的。交流噪声的均方根电压幅值等于高斯分布在 $\pm 1\sigma$ 范围内分布的振幅。对于均方根电压为1V的噪声，瞬时电压在 $\pm 1V$ 范围内的概率为68% ($\pm 1\sigma$)。人们常常认为白噪声和高斯分布之间有某种关联，事实上它们没有关联。比如，滤波电阻的噪声，不是白噪声但仍然服从高斯分布。二进制噪声不服从高斯分布，但却是白噪声。电阻噪声既是白噪声也同时服从高斯分布。



纯理论研究者会认为高斯噪声并没有定义峰峰值，而它是无穷的。这是对的，高斯分布曲线两侧是无限伸展的，因此任何电压峰值都是有可能的。实际中，很少有电压尖峰超过 ± 3 倍的均方根电压值。许多人用6倍的均方根电压值来近似峰峰值的大小。为了留有足够的裕度，甚至可以用8倍的均方根电压值来近似峰峰值的大小。

一个有趣的问题是，两个电阻串联的噪声之和等于这两个电阻和的噪声。相似的，两个电阻并联的噪声之和等于这两个电阻并联后电阻的噪声。如果不是这样，那么在串联或者并联电阻时就会出问题。还好它确实是这样的。

一个高阻值电阻不会因为自身噪声电压而产生电弧和火花。电阻的寄生电容并联在电阻两端，将限制其带宽和端电压。相似的，你可以想象绝缘体上产生的高噪声电压也会被其寄生电容和周围的导体分流。

一个有趣的测验：对于一个开路电阻，并联一个0.5pF电容，它的总噪声是多少？如果有人给出正确的答案，我将公布解答过程。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/12/02/resistor-noise-reviewing-basics-plus-a-fun-quiz.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/05/31/51441.aspx>

33 输入电容——共模？差模？

运放的输入电容参数经常使人困惑或是忽略。现在让我们明确这些参数怎样才是最好的应用。

运放电路的稳定性受输入电容的影响，它在反向输入端引入了一个相移，即到达反向输入端的反馈支路的延迟。反馈网络受输入电容影响形成了一个不想要的极点。引入输入电容来计算反馈网络的阻抗特性是保证运放电路稳定性的重要一步。但是，哪种电容有影响？差模电容？共模电容？还是都有？

运放输入电容一般可以在输入阻抗参数一栏找到，差模电容和共模电容都有标明。

OPA1652	Input Impedance	Min	Typ	Max	Units
	Differential		100 // 6		MΩ // pF
	Common-Mode		6000 // 2		GΩ // pF

输入电容模型如图1：共模电容连接各个输入端到地，而差模电容连接在两个输入端之间。尽管双电源供电时没有地平面与运放相连接，我们可以把共模电容看作与负电源端相连，交流等效到地。

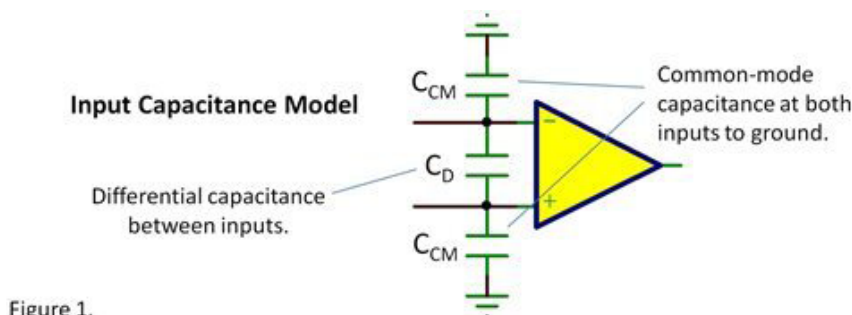


Figure 1.

在需要关注稳定性的高频区域，运放的开环增益低，在两个输入端之间实际上存在一个交流电压。这将导致差模电容和共模电容一起作用，从而改变反馈信号的相位。因此，两个连接反向输入端的电容相加，加上2pF的导线的杂散电容。这个总电容与并联阻抗反馈网络（ $R_1 // R_2$ ）一起形成一个极点。

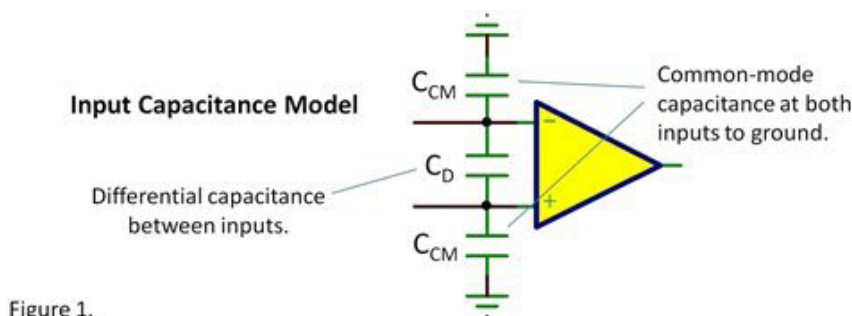


Figure 1.

一般认为：此极点的频率应大于两倍的放大器闭环增益带宽。一个两倍闭环增益带宽上的极点将会减少电路的相位裕量约 27° 。对于大多数电路，大于两倍闭环增益带宽一般是可以的。有些应用需要更苛刻的稳定条件或是驱动容性负载，也许会需要留更大的裕量。减小反馈网络的阻抗，或是考虑在反馈电阻上R2上加一个电容。

今天的通用型运放有着宽的带宽，从5MHz到20MHz甚至更高。原来适用于1MHz的运放反馈网络现在也许会出现问题，所以这就需要您认真检查和确认设计的稳定性。

SPICE仿真在检验输入电容的敏感性和反馈阻抗很有帮助，好的运放模型能用精确的输入电容建模。1mV的输入阶跃信号的瞬态响应测试信号不会引起过度的过冲和振铃现象。但是要记住，现实往往超出理论指导和仿真，这种类型的电路需要在最终的电路布局布线中作精细的调整。

这次讨论和以前的几个博客有关，一些已经在上文中链接，以下是这些文章的汇总，也许会对您有帮助。

- [Why Op Amps Oscillate—an intuitive look at two frequent causes](#)
- [Taming the Oscillating Op Amp](#) Capacitance at the inverting input.
- [SPICE It Up!... but does Bob Pease say no?](#) Is SPICE a crutch or a tool?
- [SPICEing Op Amp Stability](#) Using SPICE to check stability of op amp circuits.
- [PCB Layout Tricks](#) Includes a tip on minimizing stray capacitance at the inverting input.
- [TINA-TI](#) A free SPICE simulator from TI.

阅读原文，请参见：http://e2e.ti.com/blogs_/b/thesignal/archive/2013/01/15/input-capacitance-common-mode-differential-huh.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/01/51442.aspx>

34 PCB 布局技巧：带条纹的电容

之前我提了一个关于薄膜电容的问题，如下图所示，电容一端的条纹代表什么？

这些都是无极性电容，所以这个条纹不是极性标记。一位读者得回答正确，它代表电容卷绕时，卷绕在外层的那一极。我发现现在很少有工程师知道电容一端的条纹代表什么，也不知道条纹端和不带条纹端互换带来的不同效果。即使你从来不使用这类电容，了解这些内容也会让你设计的PCB有所不同。这次让我们讨论一下这个话题。

薄膜电容外层的导体屏蔽了内层的导体。在一个简单的低通R-C电路中，如图1a所示，电容带条纹的一侧接地，从而屏蔽了电磁耦合和电磁干扰。

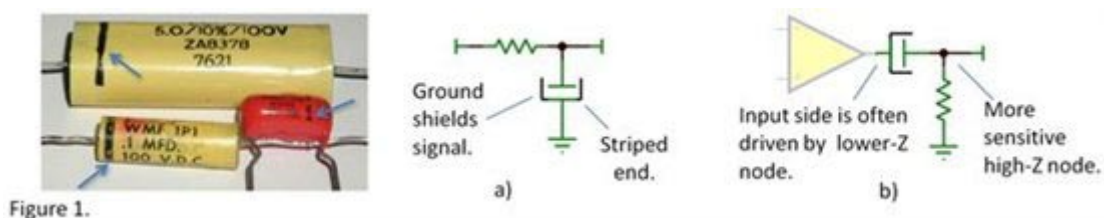


Figure 1.

对于高通R-C电路，如图1b所示，电容两端都没接地。但总体上看，前端驱动呈低阻抗特性，这将不容易受到感应噪声的影响。因此，应该将带有条纹的一端连接至低阻抗侧。

现在来看看积分电路。如图2a所示，积分电路的积分电容由低阻抗的运放驱动，这种连接不容易受到外部干扰的影响。在这个电路中，反向输入端显然是敏感节点，因此带条纹的一端应该连接到运放的输出侧。

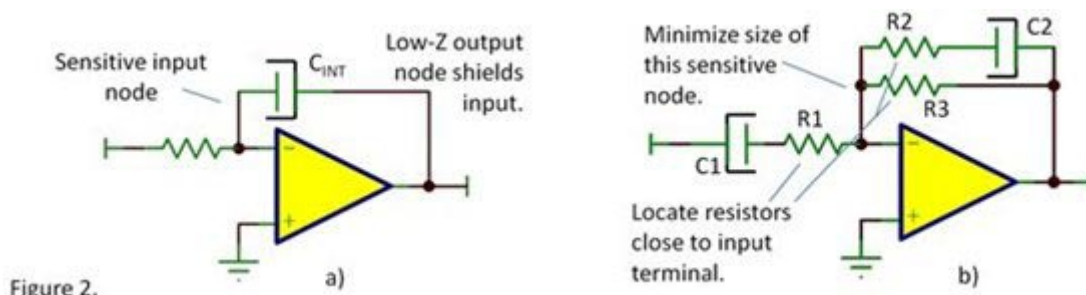


Figure 2.

图2b所示电路的布局需要考虑更多的内容。C1 和 R1的连接顺序不同则结果也不同。R2和C2也是这样。理论上，不同顺序的连接不会有什么不同，在SPICE仿真的结果也一样，但小体积的R1 和 R2可以靠近反向输入引脚放置。这样可以减少产生天线效应的区域和敏感区的寄生电容（这个寄生电容会影响到系统稳定）。大体积的薄膜电容C2跨接在运放输出端和反向输入端之间，带条纹的一端接在运放输出端。

首先，布局需要考虑的是那些对干扰敏感的模拟电路，其中有些干扰源是潜在的。其次，精心的布局和调整器件的端口可能会提高电路的性能。这里调整器件的端口并

不仅仅是对调电容带条纹端口和不带条纹端口的问题。在你的系统中还可能有其它大体积的器件会吸收噪声和辐射噪声。当你意识到这点后，你就能有指导性的调整并改进你的PCB布局。

带条纹的电容是个提示，它提示我们还有许多关于电路板接地、信号回路、器件选型和布局的知识需要去了解。许多数据手册上提供了帮助我们优化性能的具体措施。这里有一些优化布局方法的链接：

- [Reducing PCB design costs: From schematic capture to PCB layout](#)
- [PCB Layout Tips for High Resolution—Section 9](#)
- [High Speed Amplifier Layout Tip](#)—general tips also applicable to precision analog circuits
- [PCB Design Guidelines for Reduced EMI](#)—Reduction of EMI in microcontroller circuitry
- [Circuit Board Layout Techniques](#)—chapter 17 of Op Amps for Everyone

感谢阅读，欢迎评论！阅读原文，请访问：http://e2e.ti.com/blogs_/b/thesignal/archive/2012/12/10/pcb-layout-tricks-striped-capacitors-and-more.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/05/pcb.aspx>



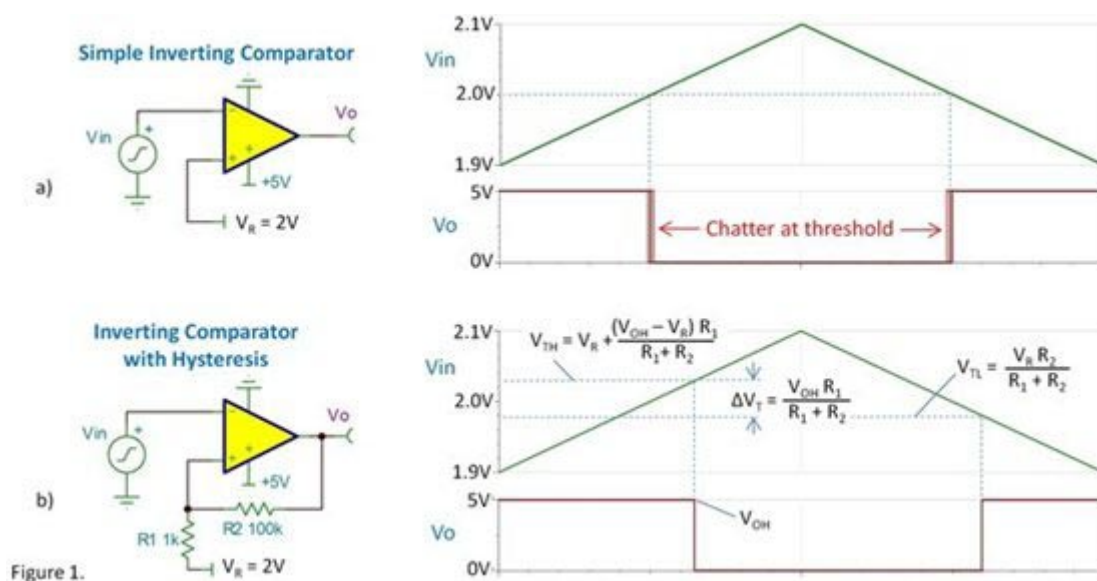
35 比较器——振荡来自何处？

比较器是一个简单的概念-在输入端对两个电压进行比较。输出为高或者低。因此，在转换的过程中为什么存在振荡？

当转换电平缓慢改变的时候，这个现象经常会发生。常常是由于输入信号存在噪声，因此在转换电平附近的轻微波动会引起输出端的振荡。即使输入信号没有噪声，比较器本身也会存在噪声，比如其中的运放就存在噪声。当输出突然从一个轨转变到另外一个轨的时候有时也会引入噪声，并且会通过电源或者输出电路反射到输入端。

无论原因是什么，迟滞通常会是一种解决方案 - 受控正反馈。就像是猛然关断开关。当你逐渐推动杆的时候，通过中心点的时候将会猛然跳到一个新的位置。假若没有缓冲的情况下，开关会不停振荡并且其接触点将会不停地出现火花。

图1a给出了比较电压 V_R 设定在2V的一个简单的比较器。在转换的过程中，缓慢上升下降的输入信号趋向于多次触发输出。

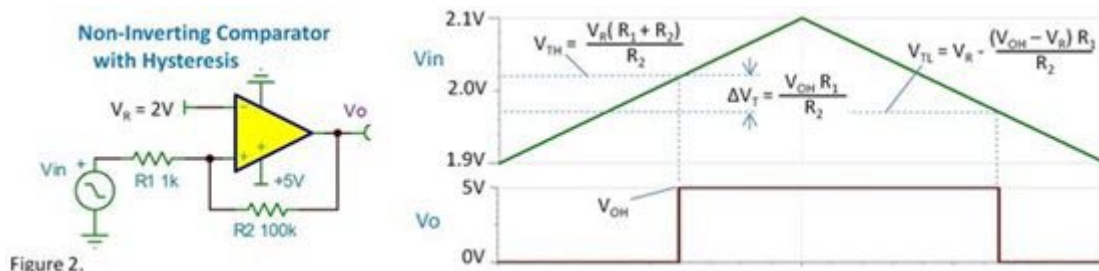


在图1b中， R_1 和 R_2 在输出端形成了一个分压器 - 正反馈切换门限电压从而形成迟滞。当一个上升的输入电压达到比较电压时候， V_o 的下降沿将使门限电压移动到一个较低的电压值，从而避免噪声引起振荡。

迟滞的幅度是由比较器的输出电压摆幅 V_{OH} 决定的， V_{OH} 与电阻分压器的值相关。迟滞宽度 ΔV_T 是根据输入噪声的大小以及振荡的倾向来设定的。

如图2所示，将 V_{in} 和 V_R 换接，就会形成一个具有迟滞特性的同相比较器。门限电压会稍有不同。要保证输入信号是一致的。在某些电路中，输出电平形成的反馈会对

输入信号源引入干扰，从而形成振铃和更多的振荡。



某些比较器存在开漏(或者开集)输出。由于输出电容会减缓输出电平升高的速率，因此这类比较器在正输出沿形成迟滞效果有限。在你最需要门限电压改变的时候，它将仅会带来很小的门限电压的改变。同时要意识到，取决于不同的元件值，迟滞网络也会作为输出负载，减小输出电压的摆幅。

在输入信号的上升期和下降期，迟滞将会形成不同的门限电压，在某些应用中这将会是个劣势。和R2串联的电容会临时改变门限电压的值，也许会有足够长的时间让输入通过有噪声的门限范围。如果碰到输入变化极其缓慢，例如电池电压，这种方案就行不通。当输入信号变化速率足够快的时候，你可以尝试这种方法。一些比较器(比如说TLV3201)内置了迟滞功能，不再需要外置的电阻。这是通过内部的电路结点实现的，同时使输入和输出不受电路的影响。对于大多数电路而言，这些器件的迟滞电压带是有效的。如果需要的话，你可以添加外部电阻。

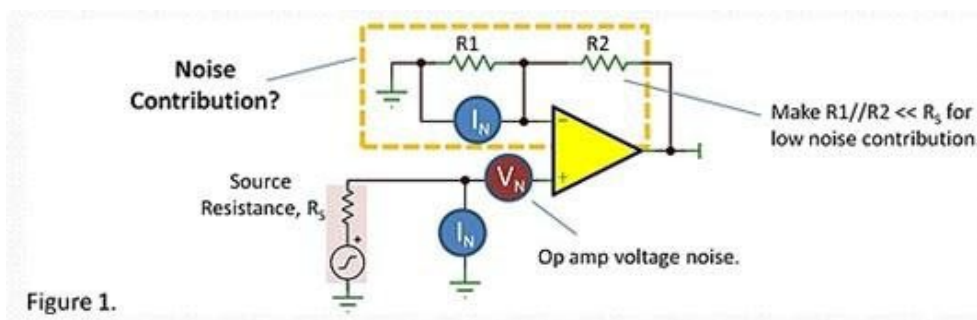
运算放大器能被用作比较器吗？有时候是可以的。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2013/01/28/comparators-what-s-all-the-chatter.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/06/51444.aspx>

36 运放噪声——反馈会有什么影响呢？

上个月我们研究了同相放大器的噪声，但是我忽略了反馈网络带来的噪声问题。一位读者向我提出疑问，并希望得到更多详细信息。那么，在图1中R1和R2带来的噪声是多少呢？



反相输入端带来的噪声包含反馈电阻的热噪声和运放的电流噪声在反馈电阻上引起的电压噪声。这些噪声源在输出端带来的噪声可以使用下列几个运放最基本的知识来估计：

- R1的热噪声电压通过电路的反相增益 $-R2/R1$ 放大到输出端。
- R2带来的热噪声直接输出到运放的输出端。
- 反相输入端的电流噪声流过R2，在运放的输出端带来 $I_N \cdot R2$ 的噪声。

这些噪声源是不相关的，所以它们可以平方根的方式求和。

但是有更直观的方法来看待这个问题。如果这些噪声源都是在运放的同相输入端将会非常方便。输出噪声除以同相放大增益，这种归类到输入端（RTI）的方法可以方便地比较噪声源和输入信号。

反相输入端的噪声与R1和R2的并联值有关。当归类到同相输入端时，R1和R2叠加起来的热噪声归类到输入端（RTI）噪声等于R1和R2并联电阻的热噪声。反相输入端的电流RTI噪声等于 $I_{IN} \cdot (R1 \parallel R2)$ 。这些都与 $R1 \parallel R2$ 相关。

Noise contribution of R1 and R2 and inverting current noise:

$$\text{Output Noise}^2 = [V_{NR1} \cdot (R2/R1)]^2 + (V_{NR2})^2 + (I_N \cdot R2)^2 \quad (1)$$

Dividing by non-inverting gain to refer to input...

$$\text{RTI Noise}^2 = (V_{NR1//R2})^2 + (I_N \cdot R1//R2)^2 \quad (2)$$

Thermal noise of $R1//R2$

这个结果揭示了一个重要的低噪声设计因素。使 $(R1 \parallel R2) \ll R_s$, $R1$ 和 $R2$ 的 RTI 噪声可以忽略。如果 $(R1 \parallel R2)$ 等于 R_s , 反馈网络带来的噪声与信号源输出阻抗的噪声相同。对于一些设计来说, 这个噪声可能太大了。

在高增益时, 可以很容易地得到较低的并联电阻。 $R1$ 可以远小于 R_s 且 $R2$ 可以很大。在中等增益时, 要得到较低的并联电阻变得较难。增益为 2 ($R1$ 等于 $R2$ 时) 是最差的情况。举个例子, 如果你希望得到 100 欧姆的并联电阻, $R1$ 和 $R2$ 需要为 200 欧姆。

反馈网络给运放带来了一个 400 欧姆的负载, 在大多数情况下, 这个负载电阻值太小了。当 $R1$ 大而 $R2$ 小的时候, 可以比较容易地让增益接近 1。这种情况并不多见, 因为你通常希望在低噪声的第一级得到较大的增益。

注意一个常见问题, $R2$ 变大时, 输出噪声并没有增加。如果通过增加 $R2$, 减小 $R1$ 来得到更高的增益, 此时并联电阻不变, 噪声将会保持不变。

你可以下载一个 Excel 文件来估算这种普遍在运放输入级存在的噪声, 包括运放和信号源阻抗噪声。它能够估算出每个噪声源所占的比列并且画出在一定信号源阻抗范围内的总噪声曲线, 还能计算出由运放电路噪声叠加到信号源热噪声上而产生的噪声系数 (dB)。这是个运放噪声性能分析的便利工具。利用这种方工具不断修改你的电路, 你将很快地找到存在的问题并且做一些权衡。点击[此处](#)下载。

谢谢阅读。欢迎评论。阅读原文, 请参见<http://www.edn.com/electronics-blogs/the-signal/4406716/Op-Amp-Noise-but-what-about-the-feedback>

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/07/51445.aspx>

37 反向衰减器， $G=-0.1$ ……会不稳定吗？

单位增益稳定的运放在增益大于等于1的情况下是稳定的，增益更小的时候还正确吗？怎么办？

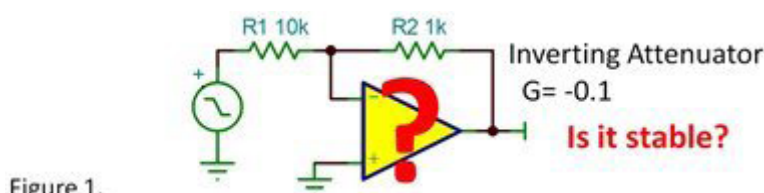


Figure 1.

这个问题在E2E论坛上隔段时间就出现。好吧，来个简洁的答案：反向衰减器稳定。你想知道为什么吗？关于这个问题有很多方法来看，快速阅读以下内容也许能让您对运放稳定性有更清楚的认识。

思考这个问题：如果 $G=-0.1$ 时不稳定，那更低增益则情况更糟，是这样吗？我们来画一个单位增益放大器，反馈电阻为 1Ω ，如figure 2。然后假设可能的电路板泄露形成一个输入电阻， $R1=10G\Omega$ 。这个杂散“输入信号”被很低的增益反向放大。这个电路不稳定吗？当然稳定。这个只是一个无实际输入的单位增益的缓冲器。它是稳定的。

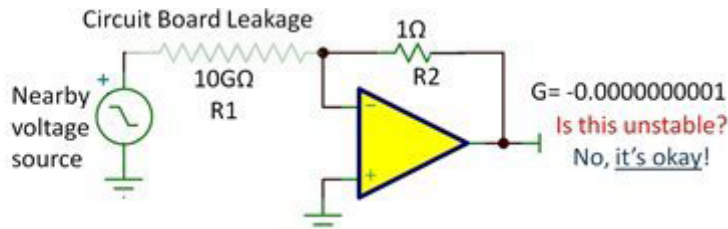


Figure 2.

运放的稳定性和输出信号反馈了多少到反向输入端有关系。稳定性方面的专家称之为反馈因子 β 。单位增益时，全部输出信号反馈到反向输入端，所以 β 为1。Figure2例子中本质上一样，几乎把所有的输出信号反馈到反向输入端。

Figure 3a中是一个反向放大器，3b中是一个正向放大器。两个电路是一样的，只是输入信号加在了不同的节点上。两个电路反馈了同样多的输出信号到反向输入端，所以他们的稳定性一样， β 值相同。

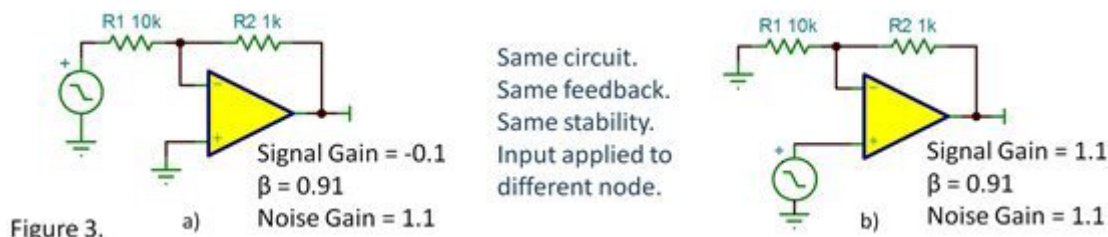


Figure 3.

有些运放专家使用术语“噪声增益”，这么命名是因为运放的输出电压噪声以此系数放大。这只是量化反馈的另一种方式。一个运放电路容易振荡或不稳定是内部噪声通过放大并反馈到反向输入端而引起的。Figure 3a中的反向放大器，噪声增益 β 和figure 3b相同，所以和它的堂兄figure 3b有着相同的稳定性，即使输入信号增益不同。

电路的噪声增益能小于1吗？ β 能大于1吗？当反馈回路上加入增益，有可能出现噪声增益小于1， β 大于1的情况（即反馈回路上有把反馈信号放大的环节）。大反馈环路下的多个放大器，例如控制系统，将会遇到这个问题。这个问题也会出现在三极管（共集电极或共源极接法）在反馈环路里的情况。这些电路会有复杂的稳定性问题。

当然，在反向衰减器中有其他可能导致不稳定或振荡的原因。容性负载，过高的阻值或反向输入端过多的电容都会引起不稳定，但这些不稳定和最基本的反向衰减电路并无关系。关于反向衰减器“风险”的错误想法还会持续。请放轻松，使用TINA-TI或者其他SPICE仿真工具来仿真、验证其稳定性。如果有疑问，可以到论坛上与专家交流。

阅读原文, 请参见 http://e2e.ti.com/blogs_/b/thesignal/archive/2013/02/04/the-inverting-attenuator-g-0-1-uh-oh-is-it-unstable.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/08/g-0-1.aspx>

38 仿真增益带宽——通用运算放大器模型

运算放大器的增益带宽积(GBW)会怎样影响你的电路并不总是显而易见。宏模型有固定的增益带宽积。虽然你可以深入观察这些模型，当然最好不要瞎弄它们。那么你可以做什么？

你可以使用SPICE中的通用放大器的模型来检测你的电路对增益带宽积的灵敏度。大多数基于SPICE的电路仿真器包含一个简单的运算放大器模型，因此你很容易就可以修改。TINA的仿真界面如图1所示。

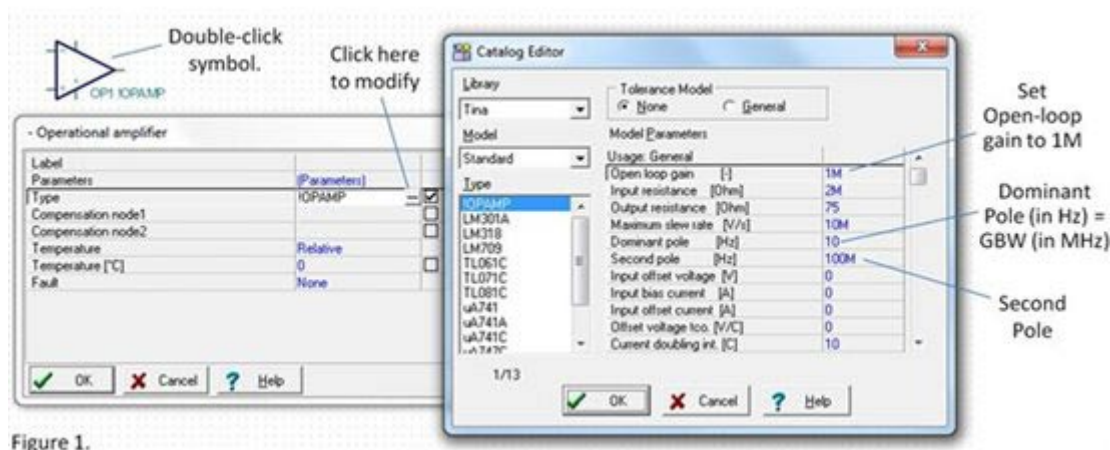


Figure 1.

首先将DC开环增益设置为1M(120dB)。然后，主极点的频率(单位为Hz)与其相乘将得到放大器的增益带宽积(单位为MHz)。在这个例子中，10Hz的主极点对应10MHz的增益带宽积。对于5MHz，10MHz和100MHz三种不同的增益带宽积，图2分别给出了对应的开环响应。

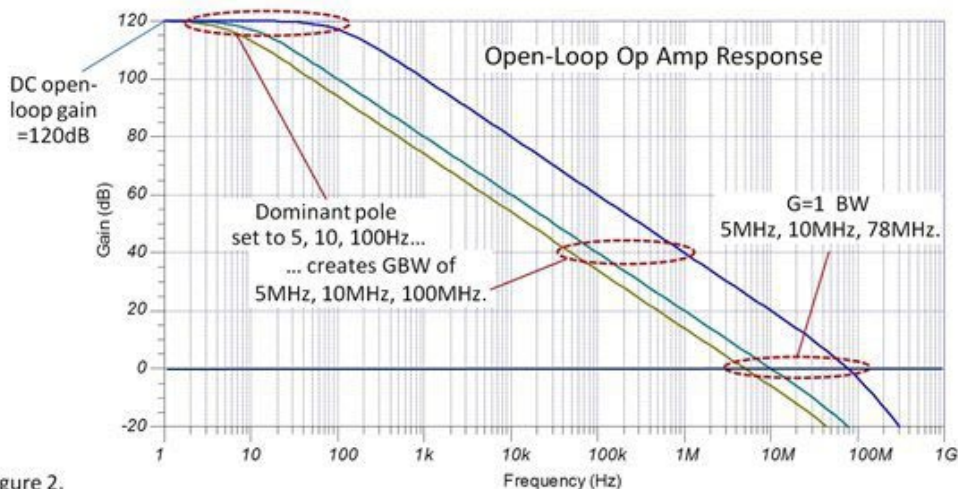


Figure 2.

注意这个简单的模型存在第二个极点(有些人称它为不受欢迎的极点)。有时候,你会想要第二个极点处在一个非常高的频率,比如说10GHz。对于任何合理的增益带宽积,这将会形成一个理想的90°的相位裕量。在这个范例中,我将第二个极点设定为100MHz,等于我仿真时最大的增益带宽积的值。在100MHz增益带宽积的响应中,你可以看到第二个极点的影响,它将会使得开环响应在100MHz的地方开始弯曲。它使得单位增益带宽大约为78MHz,和一个具有78MHz增益带宽积的运算放大器的情况很相似。运算放大器的单位增益带宽和增益带宽积并不一定是相同的值。

对于有源滤波器的设计,很难判断增益带宽积的需求,它是一个可以应用这种技术的很好的例子。图3中使用FilterPro来设计切比雪夫滤波器,它会给出一些增益带宽积值的推荐,然而它的设计准则可能会比一些情况更严格。对于这个设计而言,它推荐了100MHz或更大的增益带宽积来达到近乎理想的滤波器设计特性。如图2所示,我设定三种增益带宽积(5MHz, 10MHz, 100MHz)来对设计进行仿真。从结果中可以看出小于100MHz的增益带宽积已经是符合要求的。对于最终的仿真,你应该使用你所选择的运算放大器的宏模型。

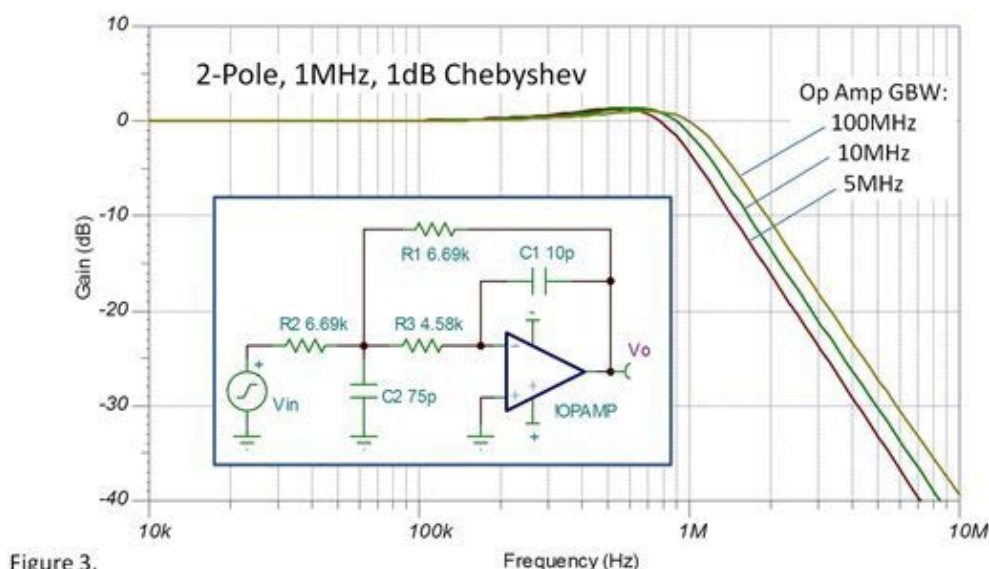


Figure 3.

我使用了TINA中的参数步进功能,改变主极点从而改变增益带宽积。其它仿真器也有类似的功能。当然,也可以手动地修改参数。无论是哪种方式,改变通用运算放大器的增益带宽积将帮助你洞察增益带宽积对电路的影响。

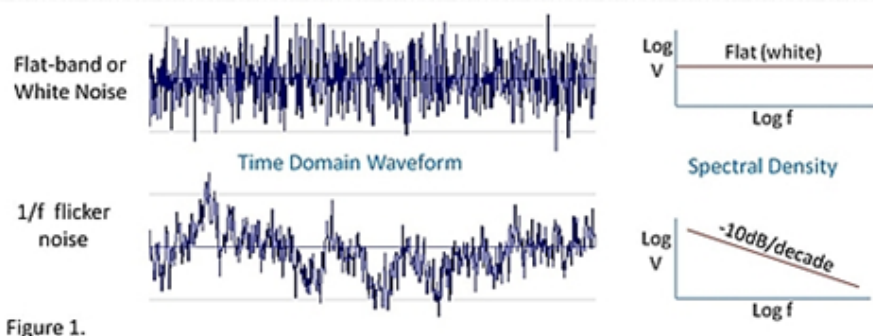
你曾经使用运算放大器模型来修改其它参数吗? 欢迎给出建议。

阅读原文, 请参阅 http://e2e.ti.com/blogs_/b/thesignal/archive/2013/02/26/simulating-gain-bandwidth-the-generic-op-amp-model.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/17/51448.aspx>

39 1/f 噪声——闪烁的烛光

运算放大器的1/f (one-over-f)低频区域噪声好像有一些神秘。1/f噪声也被称作闪烁噪声，像一道闪烁的烛光。在示波器上使用慢扫描来观察1/f噪声可以看到一条漂移的基线（如图1所示），因为高频噪声叠加在较大的低频成分上。1/f噪声通常被比喻为粉红噪声，同样揭示出较大的低频噪声成分。闪烁噪声经常在物理系统和生命科学中出现。1/f噪声和天气一样，是一个缓慢变化的过程，你可能需要很长的时间才能观测到。我并不打算解释为什么1/f噪声会在半导体中存在-----这是一个很深的主题！



闪烁噪声的频谱曲线以-10dB/十倍频的斜率下降，斜率是R-C网络单极点的一半。噪声电压的平方（或者功率）以1/f的斜率下降，噪声电压以1/的斜率下降。实际的斜率可能稍微有些变化，但是这并不影响结论。

利用波峰和波谷来测量闪烁噪声的方法看起来显得很笨拙。你必须在很长的周期内做平均来得到一个合理的平稳值。0.1Hz噪声的周期是10秒，所以要较好地测量低频段0.1Hz的噪声，你必须对很多10秒的周期做平均-----五分钟或者更多。对于0.01Hz的噪声，需要做更长时间的平均。如果你重复地测量，你会发现测量结果是不一样的。噪声是随机的并且1/f噪声比其他噪声更随机。

为了估算带宽 f_1 到 f_2 的总体噪声 V_B ，我们对1/f进行积分，得到一个频率比， f_2/f_1 的自然对数结果。

$$V_B^2 = v_a^2 f_a \int_{f_1}^{f_2} \frac{1}{f} df = v_a^2 f_a \cdot \ln\left(\frac{f_2}{f_1}\right); \quad V_B = v_a \sqrt{f_a \cdot \ln\left(\frac{f_2}{f_1}\right)}$$

Where v_a is the flicker spot noise density at frequency f_a .

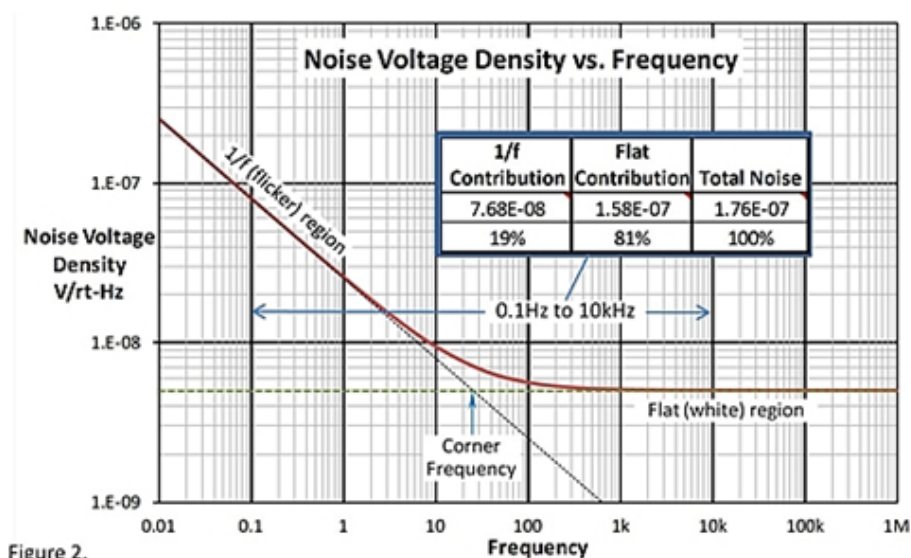
需要仔细思考的几点：

- 每十倍频（或者其他恒定的频率比）带来相同的噪声。每上一个十倍频有更小的噪声密度，但是有更高的带宽。
- 从频谱曲线上，你可以推断出1/f噪声随着不断增加的时间会无穷地增大。的确

是这样的，但这是非常缓慢的。0.1Hz到10Hz噪声是 Hz（周期为一年）到10Hz的近乎两倍。十年后会增加额外的6%。

- 滤除1/f噪声是有难度的，但并不是不可能的。0.1Hz到1KHz（四十倍频）的闪烁噪声滤除到10Hz（二十倍频）仅仅减少了3dB的噪声。低频噪声的电阻值必须很小，因为较低的频率会使得电容值较大，从而得到一个较小的截止频率。

运放噪声由1/f噪声和宽带（白噪声）组成。在1/f噪声较大的低频区，存在宽带噪声；在宽带噪声较大的高频区，存在1/f噪声。在转折频率区，这两种噪声随机相加，使得噪声有3dB的增长。



运放噪声是在带宽f1到f2内，分别对1/f噪声和宽带噪声积分，然后做均方根相加。

- 闪烁噪声密度增加N倍时，转折频率增加N2。
- 尽管1/f噪声看起来比较大，但是从转折点的下一个十倍频程到上一个十倍频程的总噪声中白噪声起主要作用（平坦噪声占了68%的比例）。

你可以下载一个Excel文件来估算1/f噪声和宽带噪声，它可以产生一个类似图2的图表。利用这个工具不断修改你的电路，你会对这个问题有一个更深刻的认识。

尽管BJT输入级的运放（[OPA211](#)）通常有更低的1/f噪声，但新一代模拟IC工艺已大大改善了JFET和CMOS芯片。例如，[OPA140](#)（JFET）、[OPA376](#)（CMOS）运放分别有10Hz和50Hz的转折频率。斩波放大器通过修正失调电压变化几乎消除了1/f噪声。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2013/03/03/1-f-noise-the-flickering-candle.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/18/1-f.aspx>

40 关于运放的轨到轨输入

轨到轨运放十分流行，特别是在那些低电压供电的场合。因此，你应该了解轨到轨运放的工作原理，同时对采用轨到轨运放的设计做一些权衡。

图1所示是一个典型的轨到轨输入级，包含N沟道和P沟道输入对管。其中，P沟道场效应管负责接近负电源轨部分输入电压的导通，这个电压可以稍微低于负电源轨（如果是单电源供电，则可以稍微低于地电位）。N沟道场效应管负责接近正电源轨部分输入电压的导通，这个电压可以稍微高于正电源轨。图中没有画出附加电路，这些电路用来切换哪个输入级连接到后级。在离正电源轨大约1.3V时，许多双输入级运放会发生输入级切换。在这个电压下发生切换的原因是，超过这个电压时，P沟道输入级的门极驱动电压已经很小，不足以驱动P沟道输入对管，因此输入级被切换到N沟道输入级。

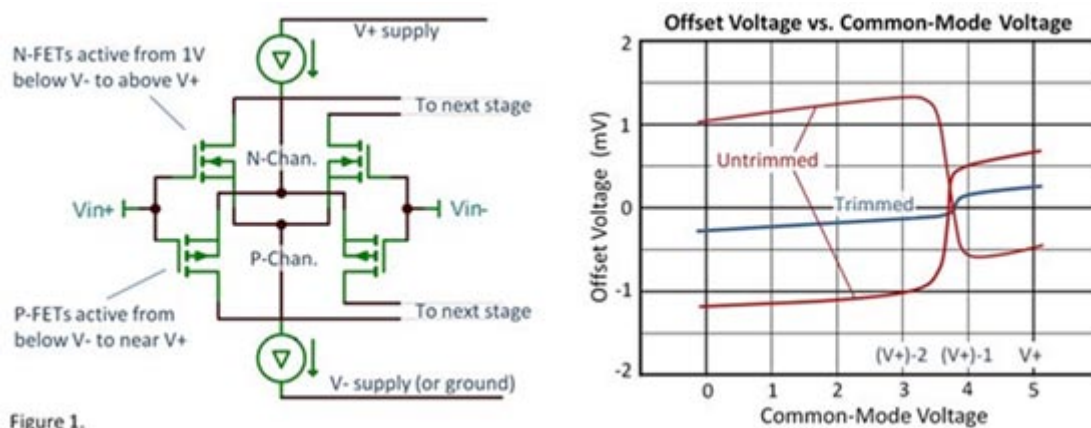


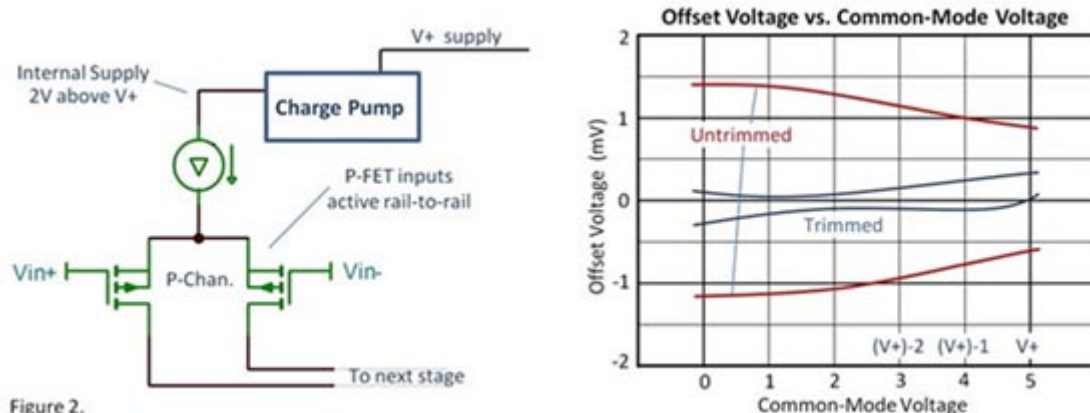
Figure 1.

P沟道输入级和N沟道输入级输入失调电压不同。如果共模输入电压范围包含了输入级电压切换点的话，比如在增益为1的情况下，将产生输入失调电压的改变。一些运放在出厂时经过激光或电子校准以减少其输入级的失调电压。这也减少了在切换输入级时失调电压的改变量，但改变还是会存在。控制切换输入级的电路是根据输入电压和正电源轨的相对电压来决定何时切换的，而不是根据输入电压和地的相对电压来决定何时切换。这样，对于一个3.3V供电的运放，输入级切换点就落在了一个尴尬的地方-电源中点。

虽然大多数应用都忽略这点，但是这种输入失调电压的改变在需要高精度的场合下会成为一个问题。在交流运用中，它还会带来失真。但这里要强调的是，这种情况只会在输入电压范围包含了输入级电压切换点的情况下才会发生。

图2所示为另一种类型的轨到轨输入级。内部电荷泵将电压提升，使得P沟道输入级供电电压超过正电源轨大约2V。采用这种设计只需要一个输入级就可以实现从低于

负电源电压到高于正电源电压的范围内的无缝输入。因为只有一个输入级，所以不用担心因为输入级切换带来的问题。



电荷泵，也许一些设计者听到这个词就感到毛骨悚然。“产生噪声的就是它，难道不是吗？”。但是，目前它已经干净多了，不再产生那么多噪声。由于只需要对输入级供电，供电电流也小了很多。外置电容也不需要，现在都是内部集成。电荷泵产生的噪声低于带内噪声，以至于在时域中很难看见。然而，那些在带内噪声级水平做频谱分析的应用中，还是可以看见一些伪影。

不是所有应用都需要轨到轨输入。反向放大电路和增益大于一倍的电路通常就不需要轨到轨输入，但是却需要轨到轨输出。你真的需要轨到轨输入的运放吗？许多工程师干脆直接使用轨到轨运放，这样不用担心共模输入的范围。这些工程师在需要和不需要轨到轨的场合均使用相同的运放。然而无论你怎么选择，了解关于轨到轨输入运放以及如何权衡的知识，可以更明智的选择运放。如果有疑问，欢迎光临我们的论坛。

这里有一些运放的例子：

- [OPA340](#) 双输入级，校准输入偏置，5.5MHz 轨到轨 CMOS
- [OPA343](#) 双输入级，未校准输入偏置，5.5MHz 轨到轨 CMOS
- [OPA320](#) 输入级电荷泵，校准输入偏置，20MHz 轨到轨 CMOS
- [OPA322](#) 双输入级，未经过校准，20MHz 轨到轨 CMOS

感谢你的阅读，欢迎评论。

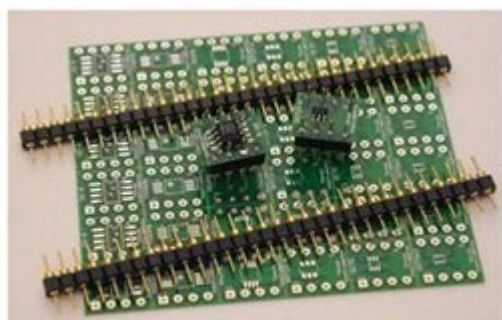
阅读原文, 请参阅 http://e2e.ti.com/blogs_/b/thesignal/archive/2013/04/16/rail-to-rail-inputs-what-you-should-know.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/19/51450.aspx>

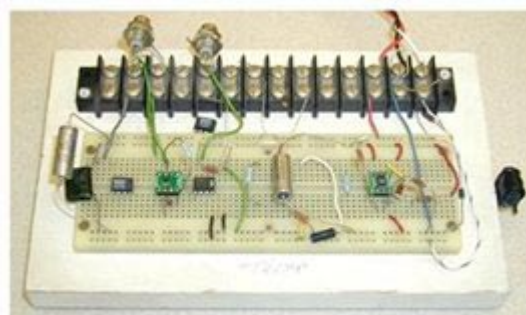
41 微封装的模拟板试验

你注意到了没有？新一代的运算放大器和其它的集成电路很少有双列直插式封装的。当需求量不大的时候，提供双列直插式封装的集成电路并不是经济可行的。在模拟板上对超密脚距的微封装芯片做实验可能会很棘手。怎么办呢？

DIP适配器缓解了这个棘手的问题。你可以利用10美元来实现SO-8，SOT23 (3, 5, 6, 或者 8引脚) MSOP-8, SC70-6, SOT563-6这些封装。我们不会花一分钱在适配器上，我们仅想尽力使采用这些微小封装进行设计时更容易。事实上，你可以使用CAD版图来自行修改或者装配。你可以优化分类从而集中在你最频繁使用的封装上。我知道要焊接这些集成电路需要很好的焊工，我你可以做到，然后在像双列直插式封装一样的电路实验板中使用它们。



DIP-ADAPTER-EVM (click to enlarge)

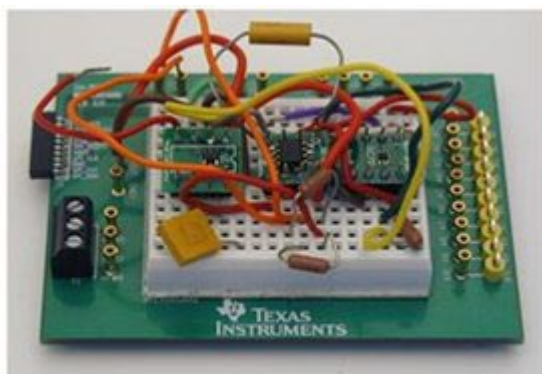


(My 40-year old breadboard mounted on real wood.)

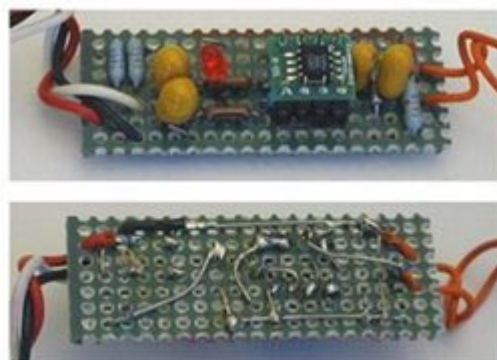
我们还有其它的一些你可能会觉得有用的模拟板试验：

用于SOT23, MSOP, SO-8封装的通用评估板-四个版图均仅有很小的模拟板实验区域。和上面讲的比较相似，除了给运算放大器配有一个关断引脚。

我们都有自己最喜欢的模拟板试验方法。我经常使用一个白色的万能插座来快速检查设备行为。这些方便的板子被许多模拟专家所回避，因为，在相邻行之间增加了可能会改变电路性能的电容，因此要小心地使用它们。当在不敏感电路部分使用插接板时，敏感的结点可能会与空气连通。这些板子不适用于一些高速或者敏感的电路，因此需要对这些情况作出判断。有些历史的“parts ball”方法功能完善，电容小、泄露小。敏感组件可以得到通用PCB或者固体铜PCB的支持，通用PCB可以实现一些连接，固体铜PCB可以实现接地。你可能已经看过Bob Pease使用这种方法的一些图片，很难对其进行修改或者修复，它更像是一场“独奏”。你的同事会很难使用，追踪或者修改。它会很快陷入混乱之中，甚至作者都很难对其解码。



Commonly used interface connections plus a small universal socket. Not sold as a TI product.



A classic technique using commercial pre-drilled board. Top and bottom shown.

利用周到的设计以及电路仿真，我们中的很多人直接进行原型电路板设计。如果你现在的工作内容仅涉及相对熟悉的元器件以及电路技术，那么变化的风险就很低。然而，很多时候动手实验和优化是必须的。

我在我们的应用实验室收集了一些可能有用的模拟板实验和原型想法。我们也欢迎您发送一些您最好的模拟板试验技术的图片。我们可以互相学习。

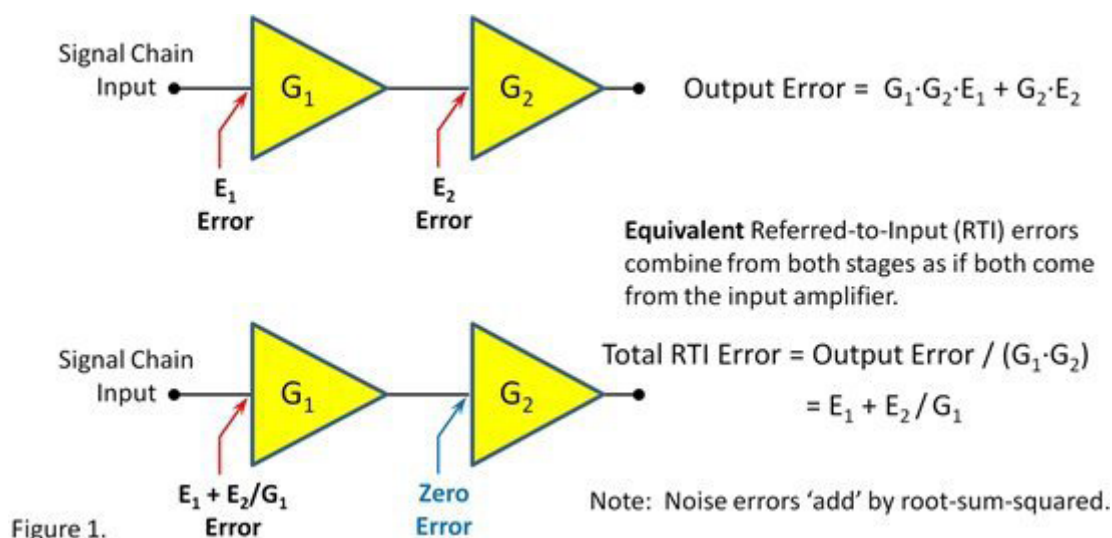
阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2012/12/17/breadboarding-with-micro-packages-ouch.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/24/51456.aspx>

42 提高前端的增益

低噪声，低偏移电压，低漂移-当你把信号链前端的增益提高后，所有的这些精密小信号处理的目标变得很简单。

这是一个很简单的概念。如图1所示，第二级的误差将除以第一级的增益。比如，第一级增益适度，值为10，第二级的误差或噪声是第一级的10倍，却仅仅贡献与第一级相等的误差。注意，我们通常认为后级中的误差来源于输入(等效到输入端或RTI)，好像所有的误差都在刚输入的时候就存在了。



让我们冷静一下，为了改善整个信号链，要在第一级电路上花10倍的时间以及精力。如果你在第一级增益级中获得纯净的低噪声信号，后级电路的设计将会很简单。

从输入端开始一直到你的产品和系统。认真布置第一级放大器的走线，使其具有良好的连接器，良好的布线，良好的接地以及良好的屏蔽。在第一级的路径上形成的干扰将无法复原。对于来自AC线噪声的干扰或者是来自第一级路径上的干扰，陷波滤波器或者DSP是不能够实现完全复原的。

输入滤波器可以改善性能。EOS钳位电路可以提供一个可靠的输入电路。你的竞争优势可能就来自于一个可以在恶劣环境中使用的输入电路，不受RF干扰以及过电压损害的影响。

在输入级使用高性能的放大器 - 低噪声、低偏移电压、低温度漂移，所有对你应用重要的指标都要好。不要心疼你的钱。如果单通道专用的放大器有效果的话就使用它。当使用高精度等级的放大器的时候可能会有更好的效果。低成本的两通道以及四通道放大器对后级电路可能是合适的，然而不要在输入放大器上节省成本。仪表放大

器或者是差分放大器可以改善对外部噪声的抗干扰能力，同时可以减小共模误差。

一些设计者创建了一个不惜成本的设计来作为参考，然后应用价值设计使它达到可接受的性能水平。这个方法正好可以帮助你建立折中的意识。

电源是外部噪声和干扰的另外一个途径。在输入级使用低压差线性稳压器可以滤除外部噪声同时可以改善电源的抑制能力。额外的去耦合电阻电容以及旁路电阻电容可以改善电源的性能。

当然，有些情况中，后级电路也需要高性能。认真对待第一级电路并不能作为轻视后级电路的借口，然而你还是应该抓住重点。输入级的电路很关键。应该花足够的时间和精力来确保第一级电路的正确。

阅读原文，请参见：http://e2e.ti.com/blogs_/b/thesignal/archive/2013/01/21/put-gain-up-front-waxing-philosophical.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/26/51457.aspx>



43 ESD (静电放电)， 咝~！

我们已经把芯片级的ESD性能写入数据手册多年，但这些参数仅适用于在芯片焊接到电路板前。那么在电路板上的ESD性能如何呢？

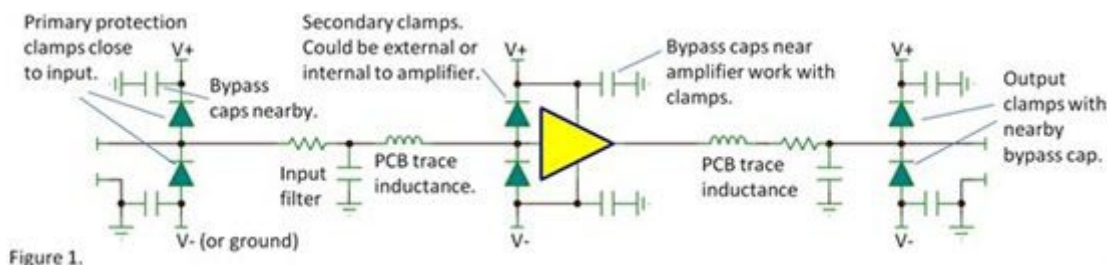
我们用多次电击若干个芯片的每个引脚的方法来确保其ESD性能。它模拟了在触摸和装配过程中芯片遭遇的恶劣情景。如果没有ESD保护电路，只需要低至10V的静电即可造成芯片损坏。

OPA314 EDS Ratings

ESD Rating	Human Body Model (HBM)	4000	V
	Charged Device Model (CDM)	1000	V
	Machine Model (MM)	200	V

但是您也许更关心在PCB板装配后和使用时的ESD承受能力。一个芯片在安装到板子上后一般是有更好的可靠性。电源连接处有旁路电容，可以承受相当大的放电。连接到板子的输入输出一般有串联的电阻以及PCB走线的电感。到地的电容，即使是从PCB走线上的到地电容，增强了避免损害、承受静电放电的能力。

您可以使用额外的钳位二极管或者类似齐纳管的器件¹，它们能大大提高您整个产品或设备的ESD承受能力。Figure1展示了一个最基本的方法，更多方法请点击[这里](#)。



ESD关乎电路的生存，但您也应该考虑功能性的干扰。这也许包括需很长恢复时间的模拟电路过载。在数字电路或系统处理器中的受干扰比特会是个更大的问题。当您触摸电脑，划出一道电火花时您也许会和我一样缩手。即使此时硬件上没有受到永久的损坏，一个ESD的“打击”可以引起系统复位或者数据丢失。以确保您的系统或是产品能在不丢失数据或是重启的情况下承受此电击，懂得模拟技术的你也许是指导PCB布局、系统布局以及接地的最合适人选。

深思熟虑的规划以及实施能帮助实现好的结果。考虑在静电放电过程中电流的流向，考虑电流的两个极性来确保安全的电流路径。最好能把放电路径限制到接入点附近。在输入的地端口的放电会找到一个从容的路径到大地，而不用在板子上乱转。让电流路径远离平行线，它的电容耦合或是电感耦合都会让人不安。输入端口放电一定

要找到一条电流路径到地，Figure1中的钳位二极管则提供了一条很短的路径到电源线上，然后通过旁路电容到地。

在输出端口或者其他任何可能与您的产品或者设备有导电接触点处，请考虑相同的问题。

认真的设计和PCB布局后，您可以提高系统的ESD的承受能力，包括生存和功能性的承受能力。如果您有更大的问题，欢迎您到社区中提问。如果您解决了棘手的ESD敏感问题，我们非常欢迎您的分享！

注释1: 在之前的EOS保护的博文中，很多精密电路的保护器件漏电流实在太大了。这些新的5V保护器件有更低的漏电流。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2013/02/19/esd-zapp.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/26/esd.aspx>



44 这个题目又来了（一个 1V 的交流信号，连接着一个 1Ω 电阻和一个 1Ω 电抗的电容。在电容两端的交流电压是多少？）

在Facebook热聊了我之前的博客之后，我觉得这个话题值得再跟进一下这个困扰我41年多的面试题。

一个1V的交流信号，连接着一个 1Ω 电阻和一个 1Ω 电抗的电容。在电容两端的交流电压是多少？

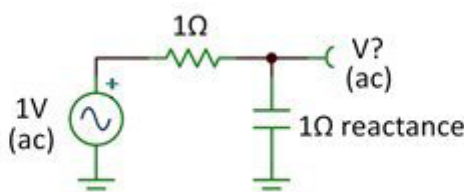


Figure 1.

在以往岁月中，我和很多工程师分享了这个问题。最常见的反应是，“频率是多少”。但是，为什么我们需要知道频率？我们已经知道电容的电抗值了，频率是多余的。其他有些会问，信号源是否可能直流，但是这道题可不是脑筋急转弯。在我的图中已经标出AC（交流），且电容的电抗值有限，不可能是直流。

一些人掉进了0.5V的陷阱里，而在纯阻性的分压网络， 1Ω - 1Ω 里，才能使得输出为0.5V。这里的情况并非如此。我做了些简单的矢量计算，正确地回答了问题。但现在再补充一些：

R/C电路产生了极点。阻值和抗值相等时的频率为“拐点”或称截至频率。这点的响应是-3dB（0.707V）的衰减，和 45° 的相位滞后。简单如是，不需要数学计算，波特图如下：

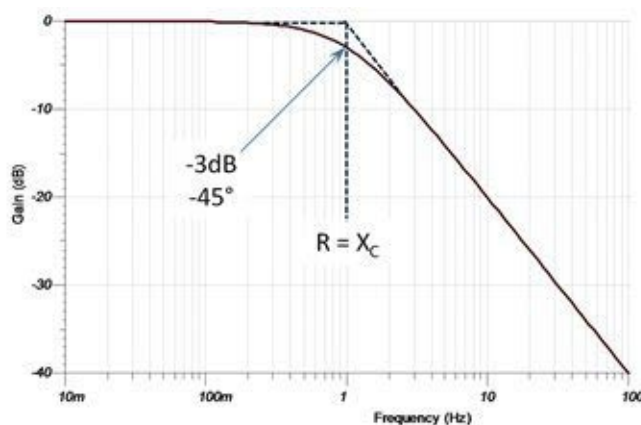


Figure 2.

另外，在电阻两端也有着和电容两端相同幅度的电压，都是0.707V，当然，相位是不同的。

感谢阅读，原文请参见：http://e2e.ti.com/blogs_/b/thesignal/archive/2012/10/02/oh-that-interview-question-a-reprise.aspx

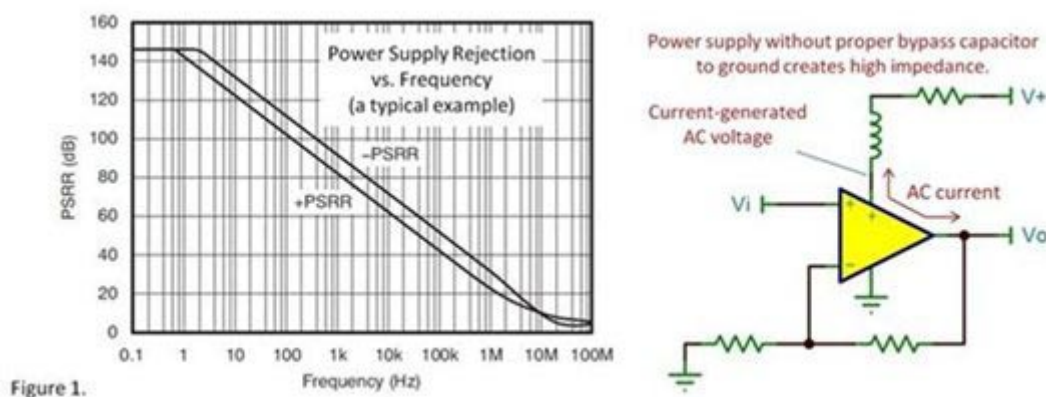
更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/27/51458.aspx>

45 退耦电容

——我们都在使用，但这是为什么呢？

每个人都知道运放应该使用靠近运放供电管脚的退耦电容，对吗？但为什么要使用这个退耦电容呢？举个例子，如果没有合适的退耦，运放会更容易产生振荡。了解使用退耦电容的原因能够增加你对这个问题的理解和认知。

电源抑制比是运放抑制供电发生变化的能力。如图1所示，在低频段，运放的电源抑制比是非常高的，但是随着频率的增加，电源抑制比会减小。在高频段，较小的电源抑制比可能会导致运放振荡。



我们经常认为，外部的供电噪声会影响运放。但是，运放自身会产生一些问题。例如，负载电流来源于运放的供电。如果没有合适的退耦，运放的供电端的阻抗就会非常大。这会导致负载的AC电流在供电端产生一个AC电压，从而构成了一条无意的，不可控的反馈回路。供电端的电感能够放大该AC电压。在高频段，运放的电源抑制比较低，这条无意的反馈回路能够引起振荡。

当然，运放内部电路也会带来一些影响。如果没有一个稳定的供电，内部电路的节点之间也可能产生反馈回路。内部电路的设计是为了使运放工作得更稳定，供电端有较低的电阻。如果没有稳定的低阻抗的电源供电，运放的工作可能变得特别异常且不可预测。

给运放的输入端加一个干净的正弦波，较差的退耦产生的反馈回路上可能是一个失真的正弦波。如图2所示，在供电端的信号电流经常是失真的，因为它仅仅是正弦信号的一半。如果正端供电和负端供电的电源抑制比不相同，也会使输出波形失真。

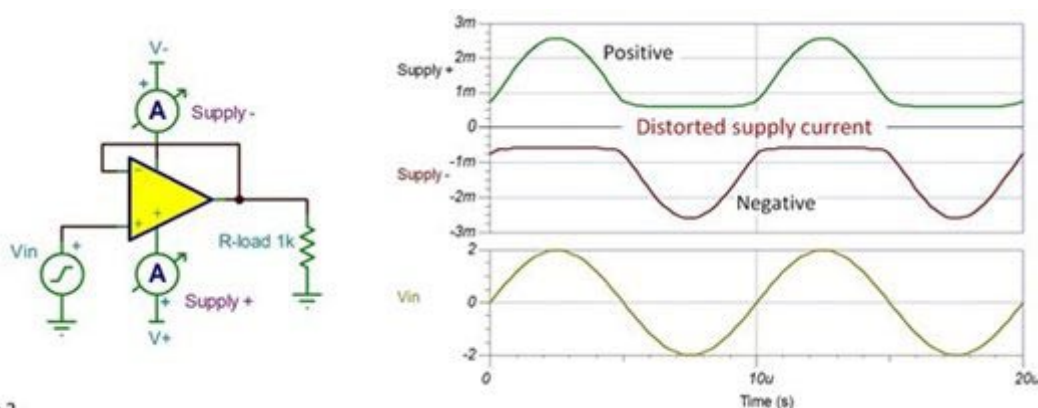


Figure 2.

如果负载电流很大，该问题会变得更加严重。电抗性负载会产生相位，使负载电流产生相移，这可能会加剧这个问题。容性负载在反馈回路上会产生额外的相移，很有可能会产生振荡。为了消除这些问题，我们需要较大容值的钽电容作为退耦电容，并且需要特别注意该电容的布局，应直接连接在供电引脚上，且越近越好。

当然，并不是所有的低质量的退耦都会使运放产生振荡。如果没有足够的正向反馈，或者相移并不是很大，并不会使运放振荡。但是，运放的性能会大大下降。较大的过冲，较长的建立时间会影响频率响应和脉冲响应。

在以前的博客中曾经讨论过，TINA或者其它的SPICE仿真工具不能很好地仿真出这些现象。SPICE中的电压源是相当稳定的，不会随着负载电流而产生变化。要想仿真出实际的供电阻抗非常难，并且结果是不准确的。电源抑制比的值用我们最好的模型macro来仿真，但是，反馈回路上的相位关系不可能完全准确。一般情况下，仿真是很有用的，但并不能准确地预测出上述现象。

你不应该成为一个偏执狂-----没有必要对退耦太过要求。对一些特别敏感的情况和潜在的问题提高警惕就可以了。适当的理解和认知会使模拟设计变得更好。

谢谢阅读，欢迎评论。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2013/04/23/bypass-capacitors-yes-but-why.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/28/51460.aspx>

46 运放并联的可行性

并联运放以获取双倍输出电流是可行的吗？

每隔一段时间，我都能在E2E论坛上看到类似的问题。尽管我们会做肯定的回复，但这足以让我们有点不寒而栗。这样虽然可行，但要特别小心。现在，让我们看看关键的地方在哪里。不要使用下图中左侧的电路：直接并联两个运放的输入和输出将导致严重的问题。不同的失调电压将引起输出电压相互调整。一个运放会做为电流源向另一个运放灌入电流，并可能因此而丧失所有的电流驱动能力。

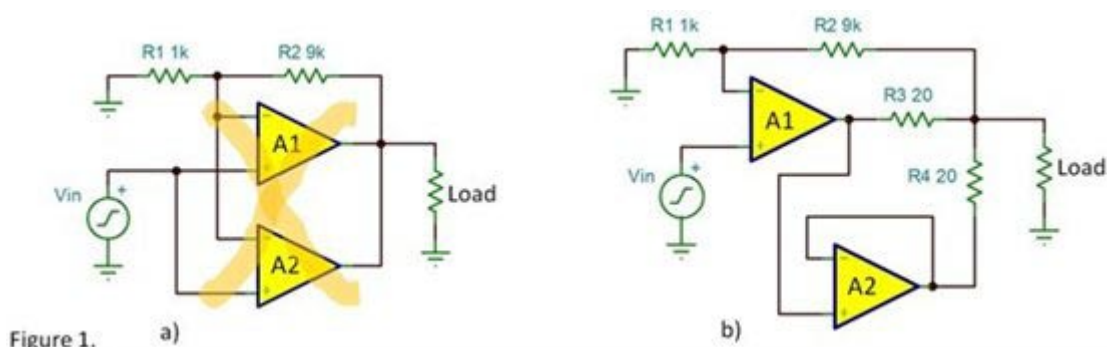


图1b进行了改进。运放A1做为主输出，运放A2做为从输出，跟随主输出电压。即使A2的输出与A1会有轻微的不同，R3和R4也会促使系统合理的分配输出电流。反馈点从负载侧R3和R4的交点引出，以确保正确的压降。这些电阻的 $I \cdot R$ 压降会造成输出电压摆幅的一些损失，因此，你会想要减少这些电阻的阻值。但同时，A2的失调电压将产生额外的静态电流 $V_{os}/(R3+R4)$ 。在这里选择电阻需要进行权衡。

谨慎处理高速信号。系统希望A2能精确的跟随A1的输出。如果信号太快，A2的相位偏移将引起输出电压的差异，这将损失一部分输出电流。避免输出摆动过快是非常重要的。如果可能，在输入加上R-C滤波器，让A1输出的快速变化信号的速度低于压摆率，因为在快速变化时，两个运放的动态输出性能也许没有那么匹配。

不要使用老一代的运放，这些运放有输出反向（相位反转）特性。如果A1的输出超过了A2的输入共模电压范围，同时它的输出电压反向，那么结果会非常糟糕。

总之，彻底检查你的电路。通过SPICE仿真可以知道基本电路是否能工作，但是运放的模型却不能精确的预测电路中罕见问题的发生。搭建一个实验板并仔细检查所有信号和条件。如果你的运放有多个资源，你还要考虑不同制造商生产的器件的性能差别。

你一定认为我在用并联运放时特别谨慎吧。对的，并联运放是可行的，但是设计时需要小心。我推荐大家用更简单的方式，那就是选一个有大电流输出的运放。这里

提供一些可供选择的运放：

- [TLV4111](#) 300mA, 6V. CMOS Op Amp.
- [BUF634](#) G=1 buffer, 200mA, 36V. Used inside the feedback loop of standard op amps.
- [OPA547](#) 500mA, 60V Op Amp. Adjustable current limit.
- [OPA564](#) 1.5A, 24V Op Amp, 17MHz GBW.
- [OPA548](#) 5A, 60V Op Amp. Adjustable current limit.

感谢阅读，原文请参见：http://e2e.ti.com/blogs_/b/thesignal/archive/2013/03/26/paralleling-op-amps-is-it-possible.aspx

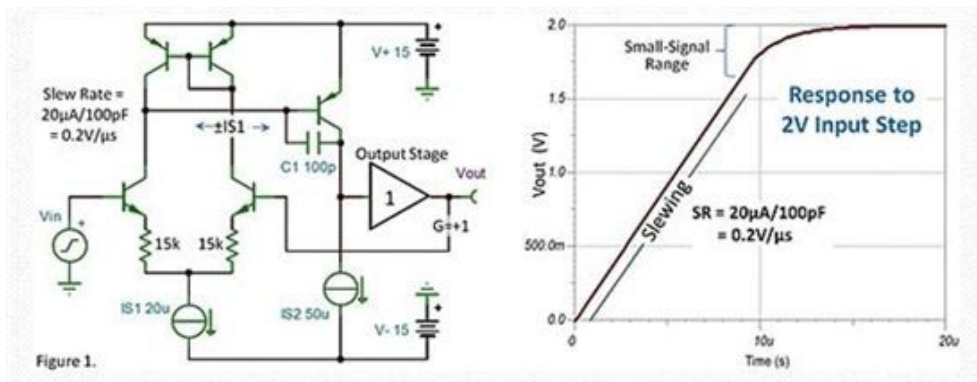
更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/06/28/51459.aspx>

47 压摆率——限制了运放的速度

运放的压摆动作经常被误解。压摆率是一个内容较多的话题，我们需要将它进行分类讨论。

运放输入级电路的两个输入端之间的电压通常非常小-----理想情况下为零，对吗？但是，输入信号突然地改变会短暂打破反馈回路的平衡，在运放的输入端产生一个误差差分电压。这将会导致运放的输出产生变化来校正输入端的误差电压。误差电压越大，输出端电压变化得越快，直到输入端的差分电压足够大从而使得运放产生压摆。

如果输入足够大的信号，意味着加速器已经踩到了底，输出信号不可能变化得更快了。更大的输入并不会使输出变化得更快。图1用一个简单的运放电路解释了这个原因。闭环回路上有一个恒定的电压，使得运放输入端之间的电压为零。输入级的两个输入端之间是平衡的并且电流 I_{S1} 相同地分配到三极管的两个输入端。对于该电路，当输入信号 V_{in} 是大于350mV的阶跃信号时，电流 I_{S1} 只流向输入差分对管的一个三极管，该电流对米勒补偿电容 $C1$ 充电或者放电。输出压摆率 SR 是 I_{S1} 对 $C1$ 充电的比例，等于 $I_{S1}/C1$ 。

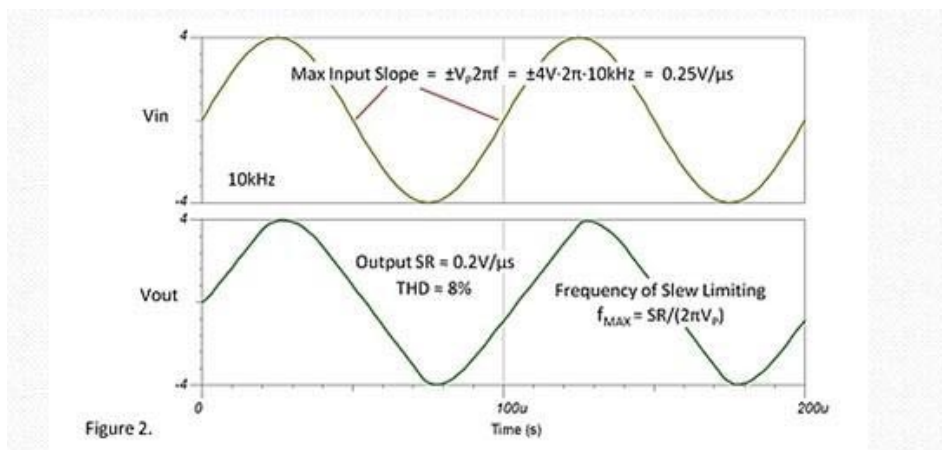


当然，有各种各样的运放电路来改善压摆率。有压摆增强电路的运放用来检测这种过载条件并且获得更多额外的电流来给 $C1$ 快速充电，但是在这种情况下，压摆率还是受限制的。正端和负端的压摆率可能不完全相同。在这种简单的电路中，正端和负端的压摆率是接近相等的，但是在不同的运放中，这可能会随之变化。输入级的压摆信号（本设计是350mV）可以从100mV到1V或者更多，这取决于不同的运放。

但是输出端的压摆不能响应输入信号的改变。输入端过载时，输出端不能随之发生变化。但是一旦输出电压接近其最终值，输入端的误差电压重新出现在线性区，变化率逐步减小，最终得到一个平滑的稳定值。

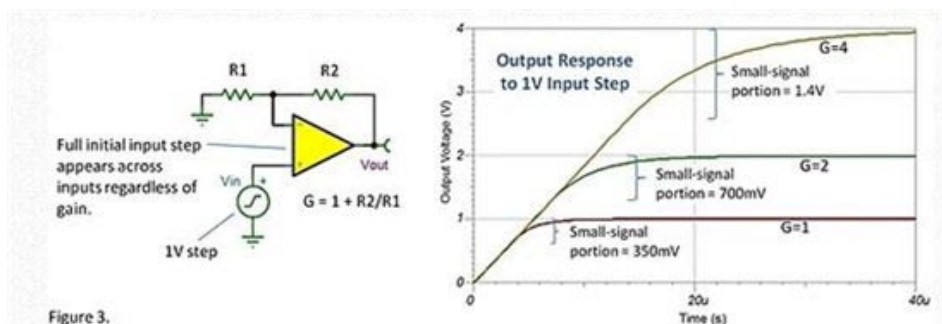
在运放压摆时，并没有内在的错误-----对速度没有减小或提升。但是为了避免正

弦信号的严重失真，信号的频率和输出信号的幅度必须有一定的限制以保证输出信号的最大斜率不会超过运放的压摆率。图2中，正弦信号的最大斜率是正比于幅度 V_p 和频率的。如果压摆率较小（小于所需压摆率的20%），输出信号将会失真，类似于一个三角波。



对运放的压摆率来说，幅度较大的方波信号有非常陡的上升沿和下降沿。最终，一部分上升和下降沿被平滑为运放的小信号，如图1所示。

在同相电路中，不管增益是多少，350mV的输入阶跃信号将会使运放产生压摆。图3显示了输入信号为1V，增益分别为1，2，4时运放的压摆。在不同的增益下，压摆率是相同的。增益为1时，输出波形最终转换为350mV。在增益为2和4时，小信号的比例随之变大，因为反馈到反向输入端的误差信号被反馈网络衰减。如果增益大于50，该运放可能不会压摆因为350mV的输入阶跃信号将会使输出饱和。



压摆率的单位通常是V/us，也许是因为早期的通用运放的压摆率在1V/us左右。高速的运放有1000V/us的压摆率，但是你很少看见它被表达为1kV/us或者1V/ns。而且，低功耗的运放可能写为0.02V/us，而不写为20V/ms或者20mV/us。并没有很好的原因来解释，这只是我们衡量压摆率的一种习惯。

谢谢阅读，欢迎评论。原文阅读，请参见：<http://bbs.eeworld.com.cn/thread-376137-1-1.html>

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/01/51461.aspx>

48 方便的小工具和电阻分压计算器

贴心的小工具使工程师工作地更加轻松。这些小工具可能是你偶然发现或者自己创建的一些特殊用途的计算机程序或者电子表格。

以前工程师会用到计算图表，这些图形帮助解决各种常见的多变量问题。计算器和桌面计算降低了它们的使用量，所以今天你很少看到他们。我仍然使用其中一个的变体。60年代，我在第一节电子线路课程上领到一个硬纸板做的R-L-C电抗计算滑尺。当我定位零极点的时候，它能够帮我在正确的阻抗范围内找到基本正确的值。有它在我手中，我总是可以更好地思考问题。

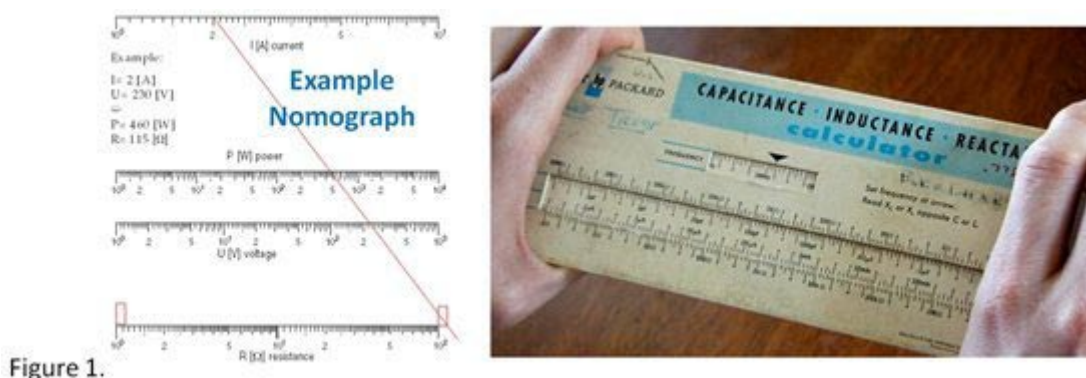


Figure 1.

我相信计算图表的图形特性在可视化和优化方面会有所帮助。当我们将数据插入到计算机中的时候是否有一些东西已经丢失了？

在这篇博文中，我想介绍一个计算阻值数据的Excel表，它用于参考电压偏移到输出电压的三电阻分压器的阻值计算。例如，当你有一个-10伏到10伏的输入，你想对其进行衰减将它转换成0伏到3伏的输出，这个工具可以帮助计算阻值。

[0083.Voltage Divider with offset v1.xlsx](#)

这是一个在信号处理中经常会用到的子电路。数学上会有点混乱，因此一旦你成功地推导一次，你将不会想做第二次。这是值得花时间来创建的一个小工具。如果你不想使用工具表的话，方程式如图2所示。我稍稍修改了一下，增加一些限值的校验和参考电压所需的最低值。你可以尝试一下。对照着注解，你会发现它很好使用。

表格(或者方程式)对类似这样的计算式很方便的，但对某些项目来说就很尴尬了。我有一些小的程序可以对文件进行解析从而操纵数据。在这几年，我已经使用了不同种类的基本表格，然而现在我开始使用excel中的宏功能，将数据加载到相关的工作表从而使用它的图形功能。我不会发布这些小工具。Excel宏很容易被写入或修改从而造成严重的损害，他们是可怕的。我仅把它们交给亲近的同伴，我甚至不清楚它们是否

会信任我。

你已经制作了哪些设计辅助小工具呢？你希望拥有哪些小工具呢？你在使用老式的计算图表还是在使用像我所使用的类似的滑尺工具呢？

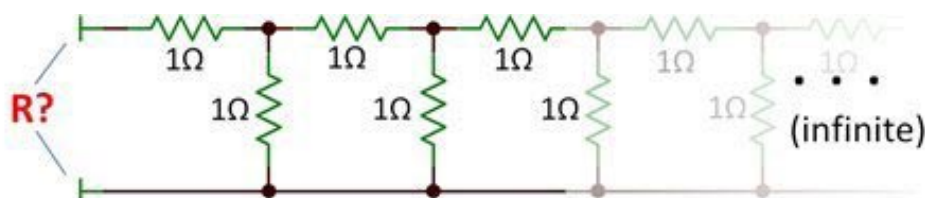
欢迎分享！阅读原文，请参见http://e2e.ti.com/blogs_/b/thesignal/archive/2013/05/13/handy-gadgets.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/02/51462.aspx>



49 电阻知识脑筋转弯小测试

上次博客中，我提出了一个[小题目](#)来考验一下你的能力，在公布答案之前再重复一下问题：这个无穷电阻网络的等效电阻是多少？



虽然用数学知识可以精确解出这个值，但是我希望读者能给出答案和解释。解出这个问题的关键在于你要意识到：第二个方格中，一个电阻和剩下的无穷电阻网络并联，而这个无穷网络的电阻阻值仍然是R。

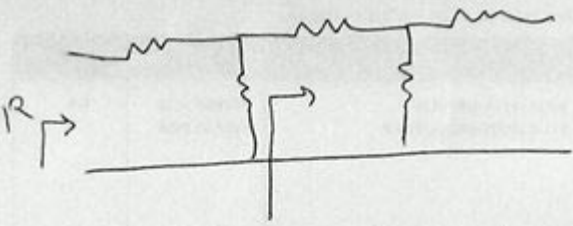
我收到了来自三个读者的答案，其中最快一位读者的解答中，设等效电阻为Req，他的解答过程和描述如下：

1欧姆电阻用R表示，设等效电阻为Req：

$$\begin{aligned}
 R &= 1 \\
 \frac{1}{\frac{1}{R} + \frac{1}{R_{eq}}} + R &= R_{eq} \\
 R_{eq} &= \frac{R(\sqrt{5} + 1)}{2} = 1.618
 \end{aligned}$$

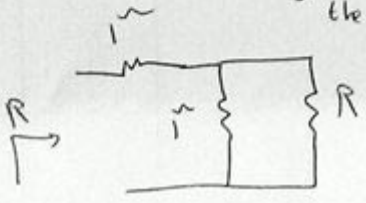
我将最左边两个电阻右侧的电阻网络用一个Req来等效。我可以这样等效是因为这是个无穷网络，去掉2个电阻也不会影响到网络的等效电阻值。这样，等效电阻Req先和1欧姆的电阻并联，再和另一个水平放置的1欧姆电阻串联。串联后的总电阻仍然是Req。这样就可以列出表达式，并求解。

同时，我也很赞赏另一份手写的解答方法，通过求解二次方程得出结果：



R (because the network is infinite)
So it does not matter where you look from
as long as the network we are looking at resembles
the original one

So:



$$R = 1 + 1 \parallel R = 1 + \frac{R}{R+1} \Rightarrow R^2 + R = 1 + R \Rightarrow R^2 - R - 1 = 0$$

$$R = \frac{1 \pm \sqrt{1+4}}{2} = \frac{1 \pm \sqrt{5}}{2}$$

$\frac{1+\sqrt{5}}{2} \checkmark$
 $\frac{1-\sqrt{5}}{2} < 0 \times$

$R = \frac{1+\sqrt{5}}{2}$

感谢阅读、欢迎评论。阅读原文, 请参见http://e2e.ti.com/blogs_/b/thesignal/archive/2013/01/01/brain-teaser-the-solution.aspx

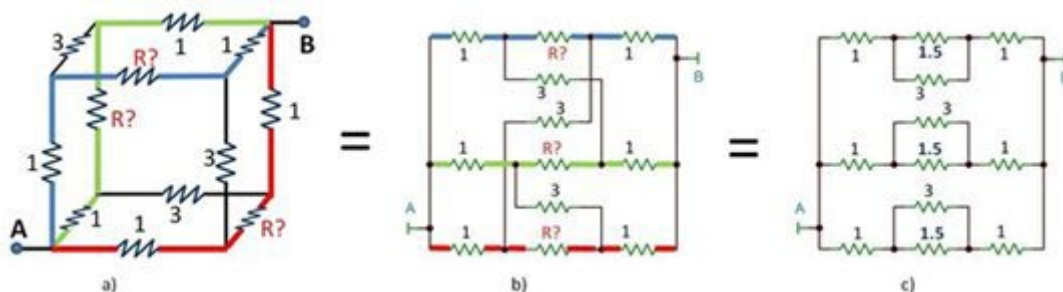
更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/03/51463.aspx>

50 电阻难题的解… 并漫谈一下原理图

看了上次的电阻难题了吗？如果错过了请查看[这里](#)。

解答如下：

我们不习惯读三维的原理图，所以第一步我们先清楚地重新画出它。有三条很明显的从A到B的路径，用蓝色、绿色和红色标出。每条路径都有一个串联起来的链路 $1\Omega - R - 1\Omega$ 。 3Ω 电阻有效地与 R 并联。这些 3Ω 电阻连接的对称性，使它们与并联电阻 R 等效。



从A到B的总电阻为 1Ω ，所以每个支路的阻值为 3Ω 。每个支路的两端是 1Ω ，所以中间的并联网络阻值为 1Ω ，经过计算 R 是 1.5Ω ，与 3Ω 并联得到 1Ω 。

有趣么？也许您错过了一个更早的难题，[infinite resistor network](#)（无限电阻网络），这个更有趣。

如果有一个精心画好的原理图，这个题目将更加简单。呃...一个精心画好的原理图是怎样的？

我之前一个天才的同事曾经说过“当原理图画的对，电路会工作得更好”。他“画得对”的意思并非是画得没错，他的意思是画得好的时候会使人们对电路有更好的理解。细微之处更容易辨别，更容易优化细节和更容易解决问题。确实真是这样！

我要就这个问题表述一下我的意见！要为你的原理图骄傲。因为一个精心设计的电路基于你精心绘制的原理图。不良绘制的原理图是不会激励你工作中的信心的。

原理图在布局时需要注意。信号流向最好从左到右，电流流向从上到下，你懂的深思熟虑后布局，可以最少化那些混乱的交叉和让人不好解释的互连网络标号。如果您的原理图需要多页，请清晰地处理连接，最好能一页放在另外一页旁边，连接要明显。应该用同样的方式画子模块的电路，这样更容易看清楚。

使用熟悉的符号。例如，运放用三角形而非矩形——这样看容易多了。有时候有可能这样，原理图中摆放器件的方式能给PCB布局布线一个很好的指导和建议。如果

PCB布局需要对称，就在原理图中画的对称。画上芯片的标签，电路的所有参数值都填上。给器件标号，这样能在邮件和电话交流中方便快速地识别。

我经常看到原理图里没有一个词或者没有一个注释。即使几个词的解释也可以帮助巨大！一个脚注来解释选择某个器件的原因或是某个值的计算，这会对几年后的工程师是个很有价值的帮助。在关键节点上标出标称电压怎么样？表明增益值和标称信号强度。标注主要的模块。如果你和我一样坚持做这件事，你在回顾自己的工作时，会发现你从你细致的文档中获益颇多。

多一些思考和将心比心会让后来解读你电路的人更加轻松。让你优质的原理图成为你的出色工作的标识。没错！标识！TI的一位优秀同事坚持把他的名字写在原理图上。你也许会发现，这个简单的动作会让你最后检查一遍你的工作。;-)

关于原理图...你有什么忍受不了的事吗？你想吐槽吗？

感谢阅读。原文请参见：http://e2e.ti.com/blogs_/b/thesignal/archive/2013/03/18/resistor-puzzle-solution-and-a-rant-on-schematics.aspx

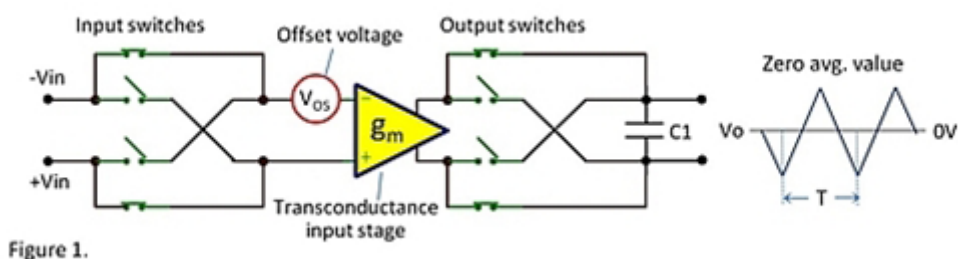
更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/05/51464.aspx>



51 斩波型运放及其噪声

斩波型运放提供较低的失调电压，同时也极大地减少了 $1/f$ (闪烁) 噪声。它是如何做到的？这篇短文就来讨论这个主题。

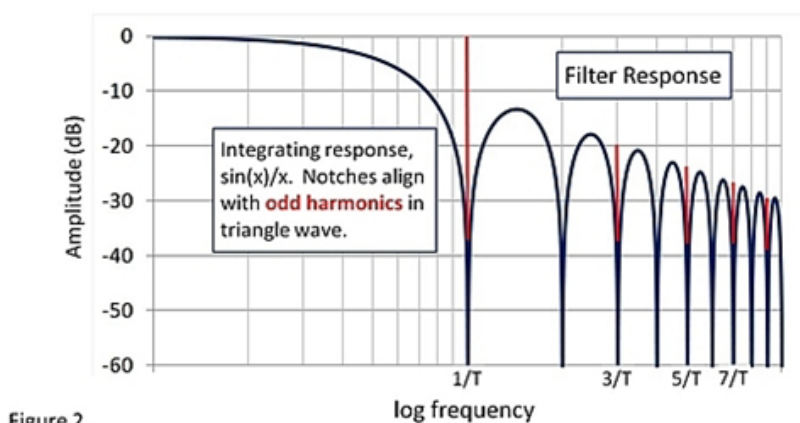
斩波运放的输入级如图1所示，是一个具有差动输入和差动输出的相对传统的跨导放大器。斩波开关完成输入和输出正负极的换向，输入和输出的换向是同步的。由于差动输入和输出同时换向，开关网络将在电容C1上产生恒定的信号。



跨导放大级的失调电压存在于输入开关网络，它被输出开关反向并周期性地传送到输出端。失调电压引起的输出电流会导致电容C1两端产生电压，这个电压会随着换向开关的换向而以相同斜率上升和下降。运放内部逻辑通过平衡上升和下降时间来保证电容C1输出电压为零，从而实现零失调。

早期的斩波只提供有限的三角波噪声的滤除，这导致它们被标上产生恶劣噪声设备的标签，并仅仅被用于那些将失调电压做为关键性能的场所。（这也许是发出大噪声的摩托车名字的来源。）特别麻烦的是，预斩波失调电压决定了三角波的幅度，因此斩波噪声个体差异性很大。

新一代斩波器安静多了，它集成了开关电容滤波器，这个滤波器在斩波频率及奇次谐波处具有多个陷波点。同时，在传输到下一级之前，完成电容C1的充放电。集成的充放电技术，使网络的输出均值十分接近零。在频域，它具有 $\text{sinc}(x)$ 或 $\text{sin}(x)/x$ 滤波器的频率响应特性，可以精确的通过基波并滤除三角波各次谐波。



输出交互网络中的8个开关交替给2个电容C1充电。这种设计允许输入信号在一个电容上积分的同时，另一个电容将信号传递到下一级。

因为 $1/f$ (闪烁)噪声是一个缓慢的时变的失调电压，斩波器事实上也抑制了这种低频范围内噪声谱密度的增加。斩波将基带信号推移到斩波频率的范围，超过了输入级的 $1/f$ 频率范围。因此，斩波放大器的低频段有着与运放高频段相同的噪声谱。

我已经将所有信号中的噪声清除干净了，这样就具有完美的零失调。当然，这里仍然存在一些失调误差，这是由于开关过程中充电时的损耗和电容失配以及寄生参数产生的影响。输入级增益大量减少了后级对失调的贡献。总体来说，宽带放大器要求更快的斩波频率，这增加了充电时的损耗误差。这种误差在整个产品的生命周期中温度稳定，这是这类设备重要的属性。

即便如此，我也不认为现代的斩波运放可以取代和限制标准运放的使用，但新一代的斩波运放应用更为广泛。它们提供低且稳定的失调电压，几乎没有闪烁噪声，已经非常接近标准运放了。

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/10/51467.aspx>

52 面试问题

——作为面试者和被面试者的难忘时光

本周的TI校园招聘之行使我回忆起一些难忘的面试经历-----在这些面试中，我以面试者的身份参加过，也以面试官的身份参加过。其中的一次面试经历仍然萦绕在我的脑海中。那时我正在寻找我的第一份工作，我特别希望得到这份工作，但遗憾的是我却与它失之交臂。在相当长的一段时间内，我都在怀疑我没能得到这份工作是因为我在处理一个具体的技术问题时的方法有问题。稍后我会讨论我在那次面试时遇到的问题。

这些年我看到了很多关于工程师面试问题的文章。有一些是棘手的智力问题，会让你感到极其困扰。其它一些是基本技能的考核。作为一个面试者，仔细地研究这些问题是一个提升自己能力的好机会。最近，在[blog on EDN's site](#)网站上有一个关于运放的有趣的面试问题。点击这个网站可以查看。

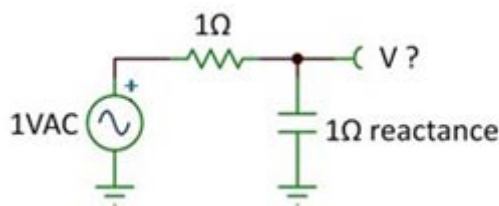
这些年来，我围绕着面试这个话题进行过很多激烈的讨论。一位我最尊敬并且技术很强的同事认为，作为一个合格的面试者，必须能够处理运放内部工作的实际问题。我曾经很认同我同事的这个观点，但现在我的想法有了改变。现在，我倾向于找到那些自认为非常了解某些知识的候选人，然后通过一些问题来考察这些候选人在这些方面的知识深度和成熟度。我认为，当我向面试者提供我们的产品和一些技术问题时，他们能很快给出一些相似的更深层次的理解。我们试图找到一些适合个人风格和处理问题的意识的面试方法。

我经常问面试者，你是否会修理一些东西-----汽车，自行车，电脑，摩托车，缝纫机等等。如果面试者能够很自信的说“我能解决这个问题”，那么就说明这个面试者具有一个合格的工程师应该具备的基本特质。修理这些东西意味着他每天都在练习成为工程师。这是一个很好的现象。

当我能够向面试者传授一些他们不知道的东西时（有时候这些东西会令他们感到惊奇并且能够从中得到一些新的理解），我会很高兴。这时，会在我们之间建立一种很强的联系。对于我来说，我会认为这个面试者理解了这些知识，并且具有成长的空间。对于面试者来说，意味着在这个位置他能够学到很多知识。我遇到过一些年轻的工程师在他们的生涯中也体会到了这种感觉。一个老的导师把这种感觉称为“心灵记忆”。

今年我们公司的校园招聘规模很大。我们试着在公司内部推行一种可以统一我们面试风格的面试方法。这是很有意义的，并且我们能够看到它的效果。但是面试中的技术部分仍然留给了我们这些技术人员。我们应该讨论最合适的方法并且提出我们自己的问题。

好的，我会告诉你伴随我41年的面试问题。用一个1V的交流源驱动一个1欧姆电阻和1欧姆电抗电容串联的电路。电容上的电压是多少呢？



并不是0.5V。我并没有上当。我急切地表现出我不会被一些基本的数学相量难住，我计算出了电容上电压的幅度和相位，并且解释了这些结果。在一些沉思后，我认为我能够用一种方法很快地得到答案。你能够猜一下为什么我认为我能得到答案吗？

我相信你也有一些有趣的面试经历，可能是作为面试者，也可能作为被面试者。你可以通过TI的论坛分享你喜欢的面试问题和经验。

阅读原文,请参见: http://e2e.ti.com/blogs_/archives/b/thesignal/archive/2012/09/24/interview-questions-memorable-times-on-both-sides.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/11/51468.aspx>

53 开心小测试！现在就开始吧

收起书本，拿出一张白纸。每个问题会和过去信号链的博文相关。如果你回答这些问题时有些困难，点击链接来引出关于这个话题的知识点。结尾处会提供答案，因此你可以给自己打分。试试看吧！

1. 增益为-0.1(反向) 的放大器...

- a) 很可能振荡。
- b) 需要一个有着特殊稳定性标准的运算放大器。
- c) 和单位增益放大器接在一起的时候将是稳定的。
- d) 在输入端需要一个特殊的衰减器来确保稳定运行。

• [The Inverting Attenuator, \$G = -0.1\$](#)

2. 将运放用作比较器...

- a) 是可以的如果不连接滞后。
- b) 能够实现较快的响应并且减少功耗。
- c) 是必要的，如果你需要推挽式的输出驱动。
- d) 可能需要注意避免打开差分输入钳位。

• [Op Amps used as Comparators—is it okay?](#)

3. 电源旁路电容...

- a) 在SPICE仿真中是不需要的。
- b) 是重要的，当你想要得到准确的SPICE仿真结果时。
- c) 值可以通过SPICE仿真实现优化。
- d) 电路版图可以通过SPICE仿真确定下来。

• [SPICE Simulations and Power Supply Bypassing](#)

4. 两阻值相等的电阻并联起来，产生的热(约翰逊)斑点噪声...

- a) 会减半。
- b) 会以1.414的系数增加。

- c) 会以0.707的系数减小。
- d) 会以0.25的系数减小。
- [Resistor Noise—reviewing basics, plus a Fun Quiz](#)

5. 双运放将...

- a) 可能有很好匹配的偏移电压。
- b) 可能有很好匹配的偏移电压温漂。
- c) a和b。
- d) 可以节省空间和成本。

- [Matchy Matchy—how alike are dual op amps?](#)

6. 在双通道或者四通道中未使用的运算放大器，最好...

- a) 连接成单位增益放大器，同时输入端要在C-M范围内。
- b) 将所有的引脚悬空。
- c) 将输入端口都接到地，将输出端口悬空。
- d) 这是个不明智的实践。你应该选用一个单运放。

- [The Unused Op Amp—what to do?](#)

7. 光电二极管...

- a) 在正向偏置的时候会有更线性的响应。
- b) 在有入射光功率时会产生线性输出电压。
- c) 在零外加电压的情况下提供光敏电流。
- d) 在光导模式下表现的像光敏电阻。

- [Illuminating Photodiodes ;-\)](#)

8. 实际的跨阻放大器 (TIA)的输入阻抗...

- a) 值接近零。
- b) 几乎是无限大。
- c) 表现为容性。
- d) 表现为感性。

• [TIA Input Z: Infinite... or Zero? What is it, really?](#)

9. 关于比较器和迟滞 ...

- a) 高性能的比较器有很低的迟滞。
- b) 通过添加迟滞来减少转换出的干扰是可能的。
- c) 迟滞在转换中引入延迟，在高速电路中应该被避免。
- d) 迟滞发生在驱动特定材料电感的比较器中。

• [Comparators—some practical stuff](#)

10. 电位器...

- a) 不应该被用作可变电阻。
- b) 当可能的时候应该当做比例度量来使用。
- c) 不能被电子元件所代替。
- d) 在对数坐标时效果最好。

• [When Potentiometers go to Pot](#)

11. 当需要对多个精密信号进行处理的时候...

- a) 通常最好把大部分的增益放在第一级。
- b) 第一级较低的增益可以改善温度稳定性，并且减少偏移。
- c) 最后一级通常是最关键的，需要予以重视。
- d) 增益应该均等地分不到各级。

• [Where to Put Your Gain—waxing philosophical](#)

12. 数据手册中提供的IC元件的ESD容忍范围...

- a) 适用于电路操作之前组装和处理。
- b) 适用于典型的电路操作条件。
- c) 在每个生产的IC上进行测试。
- d) 是大量的IC中的一些取样测试。

• [ESD... Zapp!](#)

13. 在运算放大器的输入端均衡有效电阻...

- a) 是标准的做法，而且符合指定的操作条件。
- b) 通常是不必要的。
- c) 减小输入电流引入的偏移电压。
- d) 改善运算放大器的稳定性。

• [Input Bias Current Cancelation Resistors](#)

14. 热电偶的输出电压...

- a) 大约是与开尔文温度成比例的。
- b) 在两个不同导体的交界处产生。
- c) a) 和 b)
- d) 大约是与两个结点处的温度差是成比例的。

• [Thermocouples—stuff that every analog designer should know](#)

15. 从20kHz到100kHz频带范围内，放大器的噪声为5 μ V。它的噪声谱密度是...

- a) 17.7 nV/rt-Hz.
- b) -123 dBV.
- c) 35 nV/rt-Hz.
- d) 63 pV/Hz.

• [Resistor Noise—reviewing basics, plus a Fun Quiz](#)

16. 闪烁 (1/f) 噪声...

- a) 在拐角频率处终止。
- b) 以大约20dB每10倍频的速率下降。
- c) 以大约10dB每10倍频的速率下降。
- d) 在1Hz的带宽内有相等的能量。

• [1/f, Flicker Noise—the flickering candle](#)

17. 失代偿运算放大器...

- a) 比类似的单位增益稳定的运算放大器提供更宽的增益带宽。
- b) 在G=1的时候会更稳定。

- c) 有更大的电压偏移温漂。

- d) 有更高的静态电流。

• [Decompensated Op Amps](#)

18. 斩波运算放大器...

- a) 没有标准的连续时间的运算放大器稳定。

- b) 在有用的范围内会有近似平坦的功率谱密度。

- c) 应该在需要非常低的输入偏置电流时被使用。

- d) 应该在声响巨大的摩托车中被使用。

• [Chopper Op Amps—are they really noisy?](#)

19. 管状聚酯电容器一端的条纹...

- a) 应该接地。

- b) 应该连接到更低的点位结点。

- c) 应该连接到更低阻抗的结点。

- d) 表示电容公差。

• [PCB Layout Tricks—striped capacitors and more](#)

20. 对于有着低源阻抗的低噪声运算放大器来讲...

- a) 反馈电阻应该有着低阻抗值。

- b) 运算放大器的电压噪声可能是至关重要的。

- c) 运算放大器的电流噪声可能是至关重要的。

- d) 运算放大器电路的输入阻抗应该与源阻抗相匹配。

• [Op Amp Noise—the non-inverting amplifier](#) and [Op Amp Noise—what about the feedback?](#)

Ω Click Here for Answers Ω

1. c	2. d	3. a	4. c	5. d
6. a	7. c	8. d	9. b	10. b
11. a	12. a	13. b	14. d	15. a
16. c	17. a	18. b	19. c	20. b

Click your browser's back button ← to return to quiz.

给自己打分...

- 18-20 [Bob Pease](#)将很开心！
- 16-17 精通模拟！
- 14-15 略懂模拟！
- 12-13 可能是个数字设计者。
- 0-11 你是软件工程师吗？

这只是从过去的信号链话题中抽出的一些考题。我希望这给你带来乐趣，并且欢迎给出建议。

原文请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2013/06/17/pop-quiz.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/12/51470.aspx>



54 建立时间

建立时间是运放阶跃响应进入和停留在最终值的特定误差范围内的所需时间。它在一些应用中十分重要，例如驱动AD转换器，数字化的快速变化输入。但我们先超越这个定义看一看，聚焦在建立波形的特性上。

之前关于压摆率的博文中讲到一个运放是如何从陡升斜坡到小信号稳定波形上的转变，如Figure1。随着增益的上升，你可以看到靠近最终值的速度也变慢了。这是因为增益更高，闭环带宽减小。

此例子的运放在增益为1的时候相位裕量约为90°。请注意即使是单位增益时也没有过冲。它近乎完美的一阶响应就像一个标准品，可以作为比较的基准，但你不太可能找到一个运放在增益为1的情况下拥有如此充足的相位裕量。

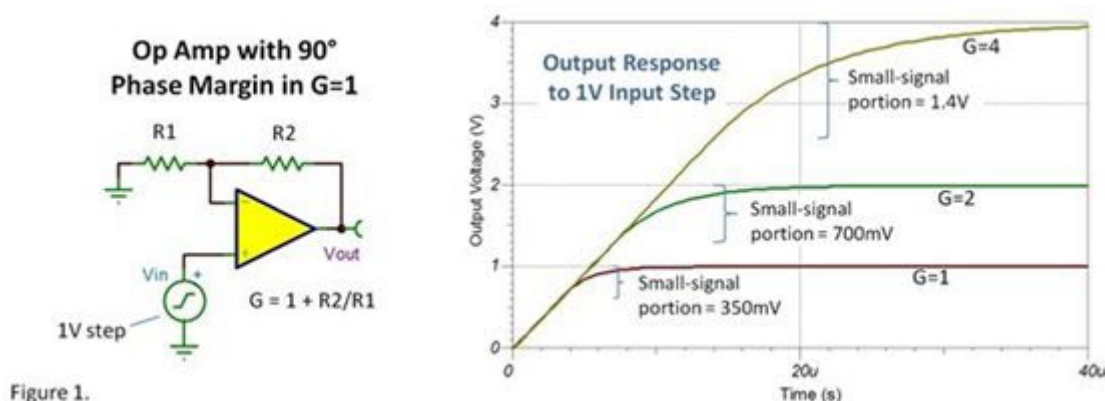


Figure 2中的响应更符合实际（也许有点悲观）。这些波形来自同一个运放，这个运放在增益为1时的相位裕量约35°（理想运放的响应也列出以供对比）。G=1时它的小信号过冲约为32%，它的1V阶跃响应显得比较小，因为只有小信号部分的响应才会产生过冲。更大的输入阶跃信号会有相同的幅值的过冲，但看起来比例上比较小。这就是为什么你一直要用小阶跃信号来检查过冲和稳定性。

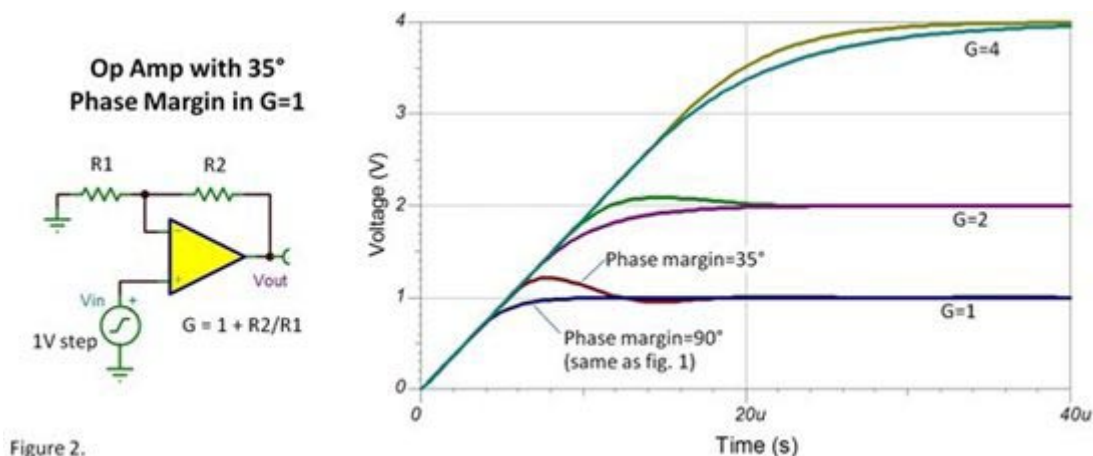
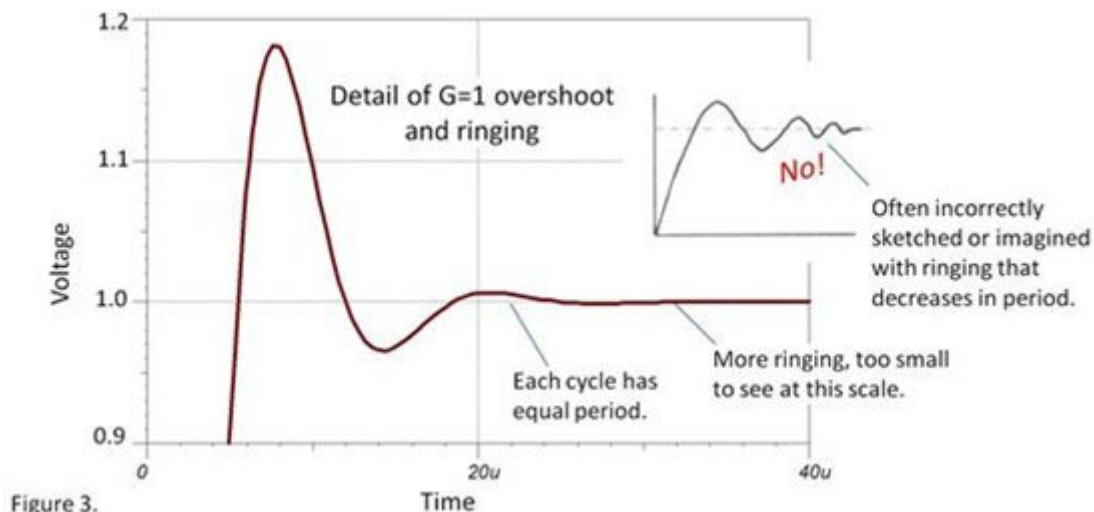


图 3 为 $G=1$ 情况下的小信号阶跃响应。可以看到，信号达到稳态的过程需要两个波动周期。波动还在继续，但越来越小——直到超出图片的分辨能力。因此，通常还需要一个或两个的额外的周期来让信号稳定到高精度。

模拟系统到达稳定的过程中，我们经常倾向于认为最后的过冲周期越来越小，好像振铃的自身频率在一个个波峰中越来越快。



真正稳定到高精度，16-bit或更高所需的时间常常还包括其他因素。发烧友做的相位补偿技术以及热效应的影响都要考虑在内。ADC输入端的开关信号带来的影响也是放大器电路需要当心的问题。优化所有的这些问题会是个棘手的事情。当然，仿真运放工作时，压摆率在二阶系统中的影响也很重要。

阅读原文, 请参见: http://e2e.ti.com/blogs_/b/thesignal/archive/2013/06/11/settling-time.aspx

更多详情: <http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/18/51472.aspx>

55 接地原则

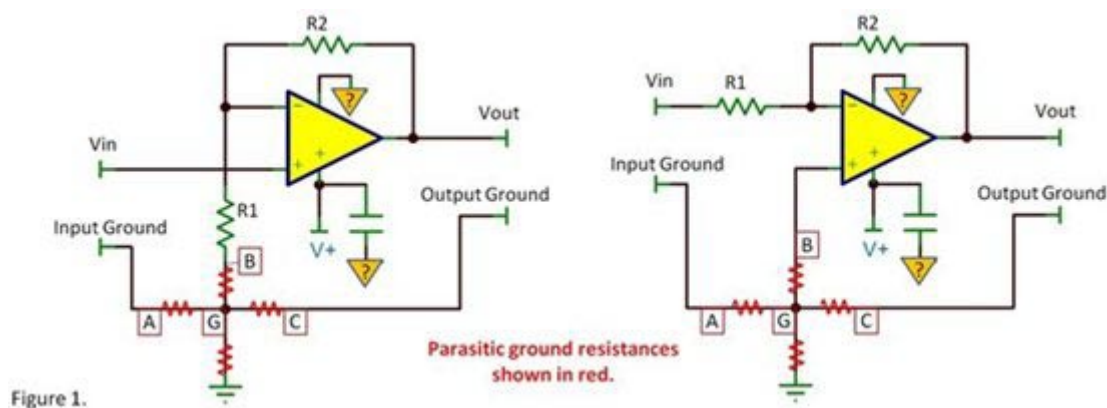
以前谈到电源去耦，我警告过糟糕的去耦会增加放大器的失真。一位读者问了一个有趣的问题，去耦电容的接地脚应该在哪里接地才能消除这个问题呢？

这个问题升级到关于正确接地的技术。题目太大了，不过我也许能够提供一些启发性的例子。

Figure 1是反向放大电路与同相放大电路及其杂散接地寄生电阻和电感（用红色标出）。节点A、B、C是理想地。但如果电流流过接地的寄生阻抗，这些节点将形成不同的电位。这些寄生的阻抗会使得对地失真电流影响到输入信号。

读者的问题是“去耦电容的接地端应该连在哪里”。这是重点。从运放电源脚流进的电流（也流经去耦电容）会引起失真，因为电流只提供了半个正弦波。如果失真（或其他干扰）电流流过一个脆弱的地节点，它会增加放大器的失真（或其他误差）。

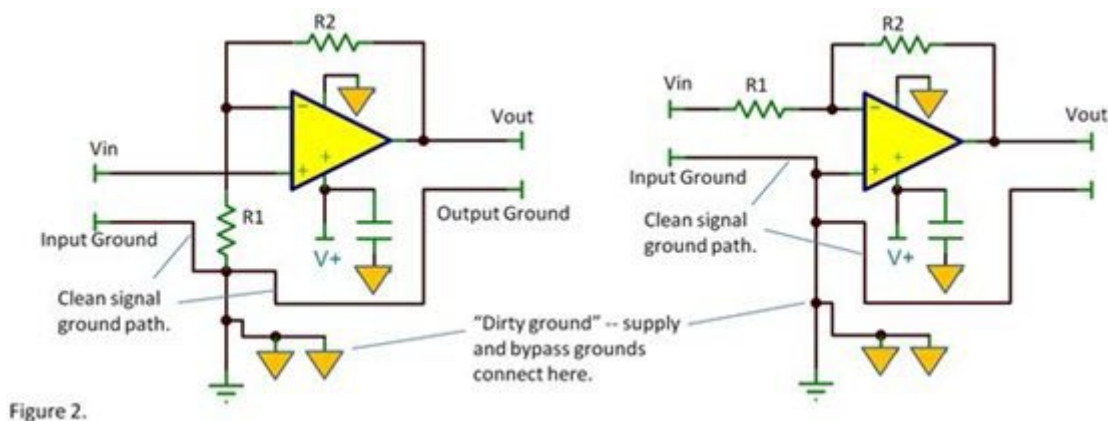
一个干扰或失真电流流进A节点直接影响了输入信号的参考地，形成误差。同样地，对地电流注入节点B形成了一个输入信号（在第一个电路中，加在反向输入端上）。对地电流流过节点C直接形成一个输出电压的误差。节点C也许不那么脆弱，因为误差信号没有经过放大器的放大。



去耦电容应该连接在节点G上。因为即使在其对地电流的路径上有额外的分布电阻，但在G上的电压变化对关键节点的影响相同，所以不会注入新的误差或失真。图上的运放用单电源供电。运放的地连接（画在三角形上方）也应该连在G上。一个双电源运放电路会有另外对于负电源的去耦电容，同样应该连在G上。

有一个方案可以建立一个具有上述节点G接地特性的电路板。规则很简单——输入端的地到电阻R1的线路应该是一条干净的路径，中间没有其他的连接以免影响此路径上的电流（如Figure 2所示）。然后，这个输入地的线路可以连接到一个能满足要求的阻抗更低的地或地平面。如果这个电路有增益，输出误差就没那么关键，但你依旧

想要用一条单独的线路来将地引到输出端。



输入地不应该通过输入连接器连接到设备的机箱上。因为这会给其他对地线产生干扰的噪声（例如交流主要地电流）提供可乘之机，将噪声注入到干净的地线上。

一个简单的博文不能覆盖到全部与接地有关的“艺术”。有时候它像魔法，欧姆定律永远都起作用。

关于对地电流的流向以及它们是如何影响电路的思考，总是一个好的开始。

感谢阅读，欢迎评论。原文请参见:http://e2e.ti.com/blogs_/b/thesignal/archive/2013/05/21/grounding-principles.aspx

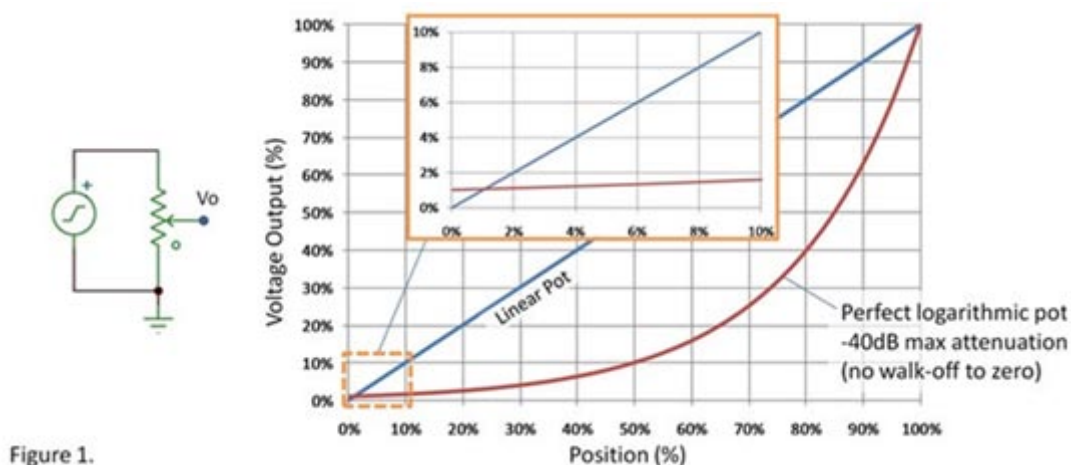
更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/18/51473.aspx>

56 音量控制——对数电位计

你曾用过线性电位计作为音量控制器吗？如果你使用过，你可能会发现，音量跳变得非常快。如果想将音量调整得相当小，你可能需要safe-cracker般的灵敏触觉（safe-cracker能够靠自己灵敏的听觉来破译保险箱的密码，作者此处是一种比喻，对于线性电位计，常人是很难将音量调得相当小的）。这时就需要对数电位计。

我们的听觉有相当大的动态范围。我们的耳朵（尤其年轻人）能够识别的有效范围是120dB或者更大，1000000：1的比率。音量大小（以分贝为单位）的起点取决于我们的听觉能力，通常为1dB，这是我们能感受到的最小的音量变化。以分贝为单位，对数电位计是近似线性的，所以，对数电位计在位置上的改变会带来音量上相对应的改变。

图1显示了使用线性电位计和数学上理想的对数电位计来分压时的衰减比例。转动电位计到50%的位置，输出电压是输入电压的0.1倍（-20dB），在音频电位计中，这是一个常用的目标值。电位计每转动10%，输出电压会改变4dB。但是理想的对数电位计在不转动时仅仅只有40dB（输入信号的1%）的衰减（见图1中的放大部分）。听众希望他们的音量控制器能够达到零输出(无穷大的衰减)，所以对数电位计有一个衰减消除功能（对数电位计在不转动的时候输出是无法为零的，为了使对数电位计在不转动的时候衰减为零，必须有该衰减功能）使得电位计在不转动的时候，能够达到零输出。



有很多关于对数参数的半导体标准曲线（厂商称之为衰减曲线）。他们通常指定了电位计在转动50%时的衰减因子。这种参数标准的命名并不是很规范，所以我不会试图命名它们，这会给大家带来更多的困扰。如果你有某些特殊具体的参数需求，请咨询厂商。在某些应用中，可能需要特殊的反向电位计。这种电位计在不同位置的衰减值和普通的电位计是相反的。

对数电位计通常需要两条分段的曲线来达到期望的衰减曲线（如图2）。两种不同的油墨导体被镶嵌在电阻中（通常情况下，电阻是由绝缘体和油墨导体构成，不同的油墨导体，会导致不同的电阻阻值，从而可以带来这两条分段的曲线）。立体声音量控制的一个关键参数是这两条曲线的追踪精度。请注意，在不转动电位计的时候，输出为零。

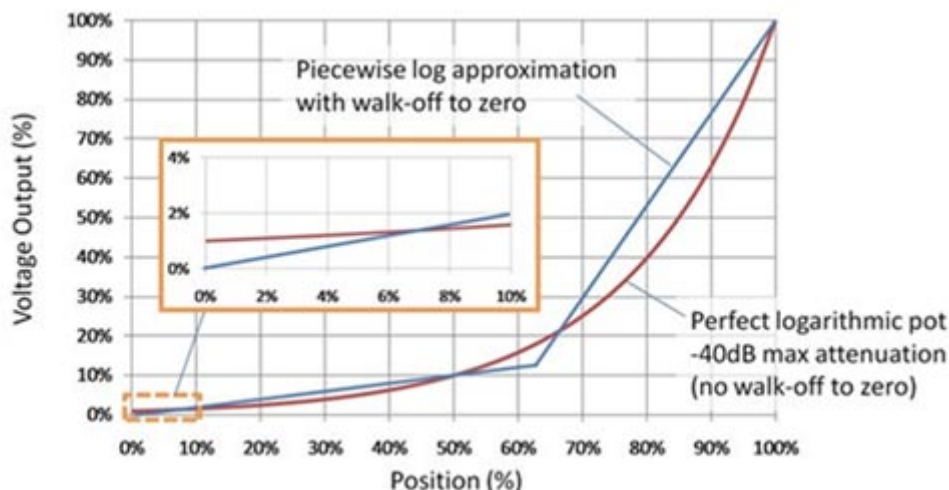


Figure 2.

你可以用一个线性电位计和一个固定的电阻来驱动输出，这近似于对数电位计（如图3所示）。用作音量控制时，该电路仍然有线性电位计的一个缺点-----当电位计转动到底时，音量跳变得太快。这个电路的性能比线性电位计好，但是相对对数电位计来说较差。在对数电位计中，这种电阻输出电路同样可以用来改变对数电位计的衰减曲线。需要注意的是输入信号必须要能够驱动电阻R1输出满幅信号，并且R1可以是一个较小的电阻，这取决于 R_p 的大小。

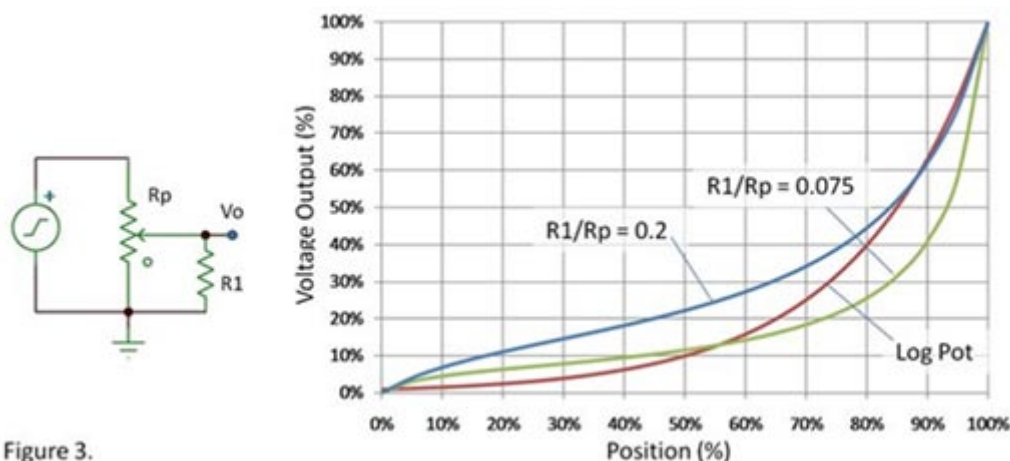


Figure 3.

在一些高音量的用户应用中，电子音量控制器已经大幅度地取代了传统的对数电位计。电子音量控制器的原理是使用数字量来控制自然音量的对数增加，并且使用了衰减消除技术（即walk-off），使得在衰减曲线的底部，衰减值为零。许多现代的音

频器件提供了一个齿轮状的旋钮，转动该旋钮，会产生不同频率的脉冲信号，来控制电子电位计的衰减值。除了音频应用，这些器件也能应用于信号通路中。下面是一些相关器件：

- [PGA2500](#) 麦克风前置数字增益可控放大器
- [PGA2320](#) 立体声音频音量控制器
- [LM1971](#) 具有静音功能的单通道数字控制62dB音频衰减器
- [LM1972](#) 具有静音功能的 Micro-Pot 2 通道 78 dB 音频衰减器
- [LM1973](#) 具有静音功能的 Micro-Pot 3 通道 76 dB 音频衰减器
- [TPA6130A2](#) 具有 I2C 音量控制的 138mW DirectPath™ 立体声耳机放大器
- [TPA6140A2](#) 具有 I2C 音量控制的 25mW G 类 DirectPath™ 立体声耳机放大器
- [TPA2054D4A](#) 具有立体声 D 类放大器和 DirectPath™ 耳机放大器的 1.4W/通道 3 输入音频子系统
- [TLV320AIC3262](#) 具有微型 DSP、集成 D 类扬声器、听筒驱动器和 DirectPath 的低功耗立体声编解码器

但是，仍然有很多场合使用传统的音量控制器和对数电位计，所以，一个模拟设计师应该清楚这些最基本的电路知识。

谢谢阅读。原文请参见：http://e2e.ti.com/blogs_/b/thesignal/archive/2012/10/22/logarithmic-potentiometers.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/19/51475.aspx>

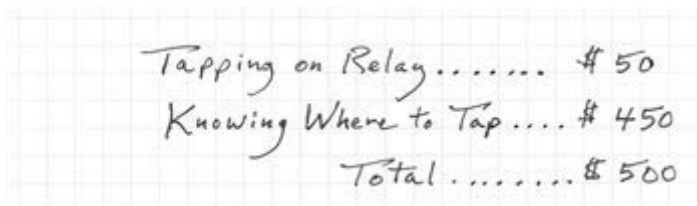


57 知道敲哪里

杰克是发电站的一位极负盛誉的资深工程师，退休时受到了极大的赞誉和认可。杰克退休几个月以后，发电站发生了大故障，几乎所有系统都涉及其中。工程师团队无法迅速诊断其中的问题，情急之下他们打通了杰克的电话请求帮助。

杰克查看了一下现场，检查了状态指示灯并做了一些计算后，径直的走到一排灰色盒子的旁边，打开了其中的一个，拍了拍其中的继电器。瞬间，状态指示灯发生了变化，系统恢复了正常。

对于这个简单的故障排除，杰克向公司发出了一份账单：咨询费500美元。用这个金额支付这次严重故障的咨询已经算保守了。但公司的会计师却不以为然，并质疑为什么要支付500美元，毕竟排查故障也没用多久。会计师要求杰克提供一个项目详单。于是杰克手写了一份详单，内容如下：



Tapping on Relay..... \$ 50
Knowing Where to Tap.... \$ 450
Total..... \$ 500

实在是抱歉，我引用了这个故事，而无法通知故事的作者。因为我实在记不得是谁写了这个故事。这个故事非常生动有趣的介绍了具有某一方面特殊技能专家的丰富经验，并带有一定神秘性。我们都会希望自己是杰克。

但是如果他在工作生涯中将他的知识进行分享会怎么样呢？如果他对新同事进行系统的辅导和训练又会如何呢？结果是那些人也会知道该敲哪里。

34年前我加入BURR—BROWN公司，这个时候我已经有7年的工程师经验，我被这家公司根深蒂固的知识共享文化所吸引。专家非常慷慨地拿出自己的时间与年轻工程师分享经验。每个人都乐意帮助他人提高模拟技术水平。头脑风暴中，设计的灵感不断闪现。专家们互相挑战和提高对方的想法。虽然讨论的是很难的模拟技术部分，但分享总是会带来好的想法同时语言也很幽默。

分享文化需要维护和调整。人来人往，它需要用心去维持。我希望在你的公司有这种文化，如果有，培育它。如果减弱了，重建它。如果丢失了，启动它。

好吧，该说再见了。我计划了退休后的生活，骑车或者，老实说，清理我的车库。我很荣幸在E2E论坛呆了15个月并发表了几十篇博客。我也受到了挑战。我发现我学到了很多，而这些我以前以为我已经掌握的很好了。这让我想起了我的导师跟我说过的一句话：如果你真的想学什么，就去教它。

谢谢大家的支持，再见！

(博客作者已经退休，这是作者最后一篇博客，译者注)

阅读原文,请参见 http://e2e.ti.com/blogs_/b/thesignal/archive/2013/06/25/knowning-where-to-tap.aspx

更多详情：<http://www.deyisupport.com/blog/b/signalchain/archive/2013/07/20/51471.aspx>



附录：版权说明

- 1、《TI信号链精品博文集锦——看一个TI老工程师如何驯服精密放大器》著作权属DEYISUPPORT社区所拥有；
- 2、本着开源思想，我们授权任何对模拟有兴趣的工程师免费下载、复制、传播该书；
- 3、如用于商业用途须经 DEYISUPPORT社区书面同意。

